






SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

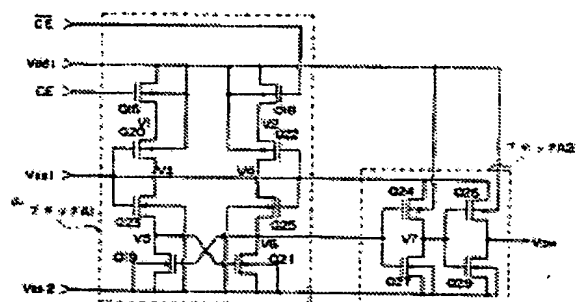
Patent number: WO9732399
Publication date: 1997-09-04
Inventor: KANAI MASAHIRO [JP]
Applicant: SEIKO EPSON CORP [JP]; KANAI MASAHIRO [JP]
Classification:
- international: H03K19/0948; H03K19/0185; H01L21/8238; H01L27/04; H01L27/118
- european: H03K19/00P6; H03K19/0185B4
Application number: WO1997JP00608 19970228
Priority number(s): JP19960043597 19960229; JP19960069638 19960326

Cited documents:

 JP6089574
 JP62123823
 JP7074616
 JP2268018
 JP7142605
more >>

Abstract of WO9732399

A semiconductor integrated circuit device generates an output signal (Vpw) having a logical amplitude specified by a first power source (Vss1) and a third power source (Vss2) which is lower in potential than the first power source (Vss1) from a substrate bias control signal by means of a first signal voltage level converting circuit (A1) and a first logic circuit (A2) and impresses the output signal (Vpw) upon a P-well in an N-channel MOS transistor formed in a function module in the device. The device also generates another output signal (Vnw) having a logical amplitude specified by a second power source (Vdd1) and a fourth power source (Vdd2) which is higher in potential than the second power source (Vdd1) from the substrate bias control signal by means of a second signal voltage level converting circuit (B1) and a second logic circuit (B2) and impresses the signal (Vnw) upon an N-well in a P-channel MOS transistor formed in the functional module in the circuit device. When this semiconductor integrated circuit device is used, the power consumption of the device can be reduced in a standby mode by raising the threshold voltage by impressing a substrate bias, and the operating speed of the device can be increased in an operation mode by lowering the threshold voltage by releasing the device from the substrate bias. The increase of the operating speed at the operating time and the lowering of the power consumption at the standby time are simultaneously realized by securing a new power supply wiring area for controlling PMOS and NMOS back gate electrodes which are different in potential from power supply wiring and grounding wiring and providing a wiring rule which permits efficient wiring layout, and then, making the layout design of the power supply wiring and signal wiring easier.



* ... block A1
b ... block A2

Data supplied from the esp@cenet database - Worldwide

THIS PAGE BLANK (USPTO)



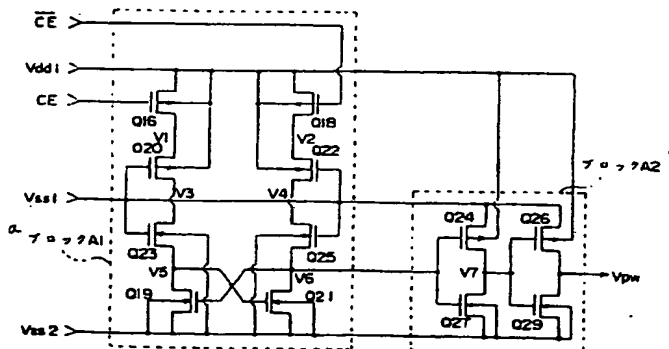
(51) 国際特許分類 H03K 19/0948, 19/0185, H01L 21/8238, 27/04, 27/118		A1	(11) 国際公開番号 WO97/32399
			(43) 国際公開日 1997年9月4日 (04.09.97)
(21) 国際出願番号 PCT/JP97/00608		(81) 指定国 JP, KR, US.	
(22) 国際出願日 1997年2月28日 (28.02.97)		添付公開書類 国際調査報告書	
(30) 優先権データ 特願平8/43597 1996年2月29日 (29.02.96) JP 特願平8/69638 1996年3月26日 (26.03.96) JP			
(71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-08 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP)			
(72) 発明者: および			
(75) 発明者/出願人 (米国についてのみ) 金井正博(KANAI, Masahiro)[JP/JP] 〒392 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP)			
(74) 代理人 弁理士 井上 一, 外(INOUE, Hajime et al.) 〒167 東京都杉並区荻窪五丁目26番13号 荻窪TMビル2階 Tokyo, (JP)			

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(54) 発明の名称 半導体集積回路装置

(57) Abstract

A semiconductor integrated circuit device generates an output signal (Vpw) having a logical amplitude specified by a first power source (Vss1) and a third power source (Vss2) which is lower in potential than the first power source (Vss1) from a substrate bias control signal by means of a first signal voltage level converting circuit (A1) and a first logic circuit (A2) and impresses the output signal (Vpw) upon a P-well in an N-channel MOS transistor formed in a function module in the device. The device also generates another output signal (Vnw) having a logical amplitude specified by a second power source (Vdd1) and a fourth power source (Vdd2) which is higher in potential than the second power source (Vdd1) from the substrate bias control signal by means of a second signal voltage level converting circuit (B1) and a second logic circuit (B2) and impresses the signal (Vnw) upon an N-well in a P-channel MOS transistor formed in the functional module in the circuit device. When this semiconductor integrated



a ... block A1

b ... block A2

circuit device is used, the power consumption of the device can be reduced in a standby mode by raising the threshold voltage by impressing a substrate bias, and the operating speed of the device can be increased in an operation mode by lowering the threshold voltage by releasing the device from the substrate bias. The increase of the operating speed at the operating time and the lowering of the power consumption at the standby time are simultaneously realized by securing a new power supply wiring area for controlling PMOS and NMOS back gate electrodes which are different in potential from power supply wiring and grounding wiring and providing a wiring rule which permits efficient wiring layout, and then, making the layout design of the power supply wiring and signal wiring easier.

(57) 要約

半導体集積回路装置は、基板バイアス制御信号を第1の信号電圧レベル変換回路(A1)と第1の論理回路(A2)により、第1の電源(Vss1)と前記第1の電源より低電位な第3の電源(Vss2)で規定される論理振幅の出力信号(Vpw)を生成する。そして、その出力信号を前記半導体集積回路装置内の機能モジュールに形成されるNチャネルMOSトランジスタのPウェルに印加し、他方、基板バイアス制御信号を第2の信号電圧レベル変換回路(B1)と第2の論理回路(B2)により、第2の電源(Vdd1)と前記第2の電源より高電位な第4の電源(Vdd2)で規定される論理振幅の出力信号(Vnw)を生成する。そして、その出力信号を半導体集積回路装置内の機能モジュールに形成されるPチャネルMOSトランジスタのNウェルに印加する。

この半導体集積回路装置によれば、待機モード時は基板バイアスを印加して閾値電圧を上昇させることにより消費電力を低減し、動作モード時は基板バイアスを解除して閾値電圧を低下させることにより高速動作を可能にする。

そして、電源配線、及び接地配線の電位とは異なるPMOS、NMOSの各バックゲート電極制御用の新たな電源配線領域を確保し、効率良く配線レイアウトする配線ルールを提供し、電源配線と信号配線のレイアウト設計を容易化し、動作時の高速化と待機時の低電力化を同時に実現する。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を特定するために使用されるコード

AL	アルバニア	EE	エストニア	LR	リベリア	RU	ロシア連邦
AM	アルメニア	ES	スペイン	LS	レソト	RS	セルビア
AT	オーストリア	FI	フィンランド	LT	リトアニア	SE	スウェーデン
AZ	アゼルバイジャン	FR	フランス	LU	ルクセンブルグ	SG	シンガポール
BB	バルバドス	GB	イギリス	LV	ラトヴィア	SK	スロバキア
BE	ベルギー	GE	グルジア	MC	モナコ	SL	スロベニア
BG	ブルガリア	GR	ギリシャ	MD	モルドバ	SS	ス威士ランド
BJ	ベナン	GN	ギニア	MG	マダガスカル	TD	チュニジア
BR	ブラジル	GU	ギニアビサウ	MK	マケドニア	TG	トーゴ
BY	ベラルーシ	HR	クロアチア	ML	マリ	TH	タイ
CA	カナダ	IE	アイルランド	MN	モンゴル	TJ	タジキスタン
CC	中央アフリカ共和国	IT	イタリア	MR	モーリタニア	TM	トルクメニスタン
CF	コンゴ	JP	日本	MW	マラウイ	TT	トリニダード・トバゴ
CG	コンゴ	KE	ケニア	MX	メキシコ	UA	ウクライナ
CH	スイス	KZ	カザフスタン	NE	ニジェール	UG	ウガンダ
CI	コート・ジボワール	KR	韓国	NL	オランダ	US	米国
CM	コモロ	KG	キルギス	NO	ノルウェー	UZ	ウズベキスタン
CN	中国	KP	北朝鮮	NZ	ニュージーランド	VN	ベトナム
CO	コロンビア	KZ	カザフスタン	PL	ポーランド	YU	ユーゴスラビア
DE	ドイツ	LI	リヒテンシュタイン	PT	ポルトガル		
DK	デンマーク	LK	スリランカ	RO	ルーマニア		

明 細 書

半導体集積回路装置

〔技術分野〕

本発明は、基板バイアスを印加してMOSトランジスタの閾値電圧を制御する基板バイアス制御回路を具備する半導体集積回路装置に関する。

〔背景技術〕

一般に、半導体集積回路装置としては、半導体記憶装置、ゲートアレイ等様々なものが挙げられるが、半導体集積回路装置は1つの半導体基板上に形成された複数のMOSトランジスタによって構成されるものである。また、通常このような半導体集積回路装置では、半導体基板の電位が常に定められた範囲内に維持される。

図31に、このような半導体集積回路装置、たとえば、ゲートアレイのチップレイアウトの概略図が示される。この半導体集積回路装置は、単一の半導体基板上に形成された機能モジュールMOおよび周辺回路IOにより構成され、周辺回路IOとしては、たとえば、入出力制御回路等を含む。機能モジュールMOは、半導体集積回路装置の必要な機能を実現するため、複数のMOSトランジスタによって構成される所謂内部回路である。そして、入出力制御回路等を含む周辺回路も、MOSトランジスタによって構成されている。

たとえば、マスタスライス型半導体集積回路装置における機能ブロックの電源配線のレイアウトパターンを、図33、及び図34(a)、(b)に示される反転論理回路（以下インバータ回路と示す）を用いて説明する。

マスタスライス型の半導体集積回路装置は、インバータ回路、反転論理積回路（以下NAND回路と示す）、反転論理和回路（以下NOR回路と示す）等の論理ゲートに相当する基本セルを格子状に整列したものである。つまり、このタイプの半導体集積回路装置は、基本セルを予めLSIチップ上に形成しておき、基本セル間の配線設計だけを追加して所望のLSIを得る方式によるものである。

ただし、電源配線や接地配線は、どの基本セルも電気的特性に関する仕様を満たすように予めレイアウト方式が定められている。そして、基本セルをいくつか用いて論理機能ブロックが実現できるようになっており、これらを実現する配線パターンは予めレイアウト設計され、ライブラリとして準備されているものである。

図34(a)には、インバータ回路INV5のシンボルが示され、入力信号Aに対して出力信号Xが反転論理で出力されるものである。このインバータ回路をトランジスタレベルの回路図で示すと、図34(b)に示されるような回路構成となる。

図34(b)に示されるインバータ回路INV5は、入力信号Aが入力される入力端子が、PチャネルMOSトランジスタ（以下PMOSと示す）Q14のゲート端子とNチャネルMOSトランジスタ（以下NMOSと示す）Q17のゲート端子に共通に接続されるものである。さらに、前記PMOSQ14のソース端子とバックゲート端子とが電源配線Vdd1に、NMOSQ17のソース端子とバックゲート端子とが接地配線Vss1に各々接続され、PMOSQ14のドレイン端子とNMOSQ17のドレイン端子とが出力信号Xが出力される出力端子にて接続された構成となっている。

このインバータ回路を、マトリクス状に複数配置された基本セル群内の1つの基本セル上に配線レイアウトすると、図33に示されるような配線レイアウトとなる。

図33に示される基本セルのトランジスタ構成は各社各様であるが、ここではゲート電極G23、G25及びゲート電極G23、G25よりもチャネル幅が小さいゲート電極G27、ソース・ドレイン電極SD33、SD35、SD37、及びSD39からなるNMOSQ17等と、ゲート電極G18、及びG20、ソース・ドレイン電極SD28、SD30、及びSD32からなるPMOSQ14等を基本単位（2個のPMOS+2個のNMOS+1個のサブ・NMOS）とする基本セルを用いて配線レイアウトする。

この基本セルとして図34(a)、図34(b)に示されるインバータ回路INV5を構成すると、図33に示される配線レイアウトとなる。すなわち、接地配線層Vss1はMOSトランジスタのチャネル長方向に延長された第1金属配線

層により形成される。接続孔を介して、前記接地配線層Vss1とNMOSQ17のソース電極SD35、及び使用されないソース・ドレイン電極SD33とウェル電極B11がそれぞれ電氣的に接続される。

そして、電源配線層Vdd1はMOSトランジスタのチャネル幅方向に延長された第1金属配線層より形成される。接続孔を介して、前記電源配線層Vdd1とPMOSQ15のソース電極SD30、及び使用されないソース・ドレイン電極SD28とウェル電極B12がそれぞれ電氣的に接続される。

前記ウェル電極B11は、MOSトランジスタのチャネル幅方向に延長される。前記ウェル電極B11と接地配線層Vss1とが、接続孔C1を介して電氣的に接続される。一方、ウェル電極B12は、MOSトランジスタのチャネル幅方向に延長される。前記ウェル電極B12と電源配線層Vdd1とが、接続孔C2を介して電氣的に接続される。

更に、インバータ回路INV5を制御する入力信号Aが、第1金属配線層M1Aに印加され、NMOSQ14のゲート電極G25とPMOSQ17のゲート電極G20が接続孔を介して第1金属配線層M1Aに各々電氣的に接続されることにより、前記入力信号Aが前記ゲート電極G25とG20に印加される。

一方、出力信号Xは第1金属配線層M1Xに出力されるものであるが、インバータINV5の出力部において、NMOSQ14のドレイン電極SD37と、PMOSQ17のドレイン電極SD32とが接続孔を介して、第1金属配線層M1Xと各々接続される。よって、前記NMOSQ14とPMOSQ17の各々のドレイン電極SD37、SD32が電氣的に共通接続されて出力信号が形成される。

この様にインバータ回路を含めた一般的なCMOS回路は、PMOS、NMOS共にソース電極とウェル電極を各々共通電位とするものであった。

ところで、近年、情報処理装置であるノート・パソコン向けマイクロプロセッサ、及びその周辺LSIや、携帯情報端末向けLSI等の動作モード時の高速化と、待機モード時の低消費電力化が強く要求されるようになってきた。たとえば、電池駆動形態情報端末の発展により、携帯電話等における電池数の低減による小型化・軽量化、待機時を含めた長時間動作が要求されるようになってきた。さらに、ディジタル情報処理の発展により、音声、データ、画像のような情報の処理

量が膨大となり、しかも高速クロックが発熱限界となってきたため、高速性が要求されるようになってきた。また、CMOS LSI技術の発展により、ディープサブミクロンCMOS LSIの集積度向上により、単体レベルでの消費電力は小さくなってきたものの、素子数が多くなったためLSIとしての消費電力が大きくなってきた。これらの理由から、高速かつ低消費電力なCMOS技術の開発がすすめられるようになってきた。

また、LSIを収納するパッケージとしては、プラスチックパッケージ、セラミックスパッケージ等が挙げられるが、消費電力の高いLSIには高価なセラミックスパッケージが使用される。前述したように、半導体集積回路装置の高集積化により、消費電力は大きくなってきているが、コストの面からも低消費電力化が望ましいと考えられている。

ここで、前記消費電力POWERは、負荷容量をC、クロック周波数をf、電源電圧をVddとすると以下のように式1で表わされるものである。

$$\text{式 1 : } \text{POWER} = C \cdot f \cdot V_{dd}^2$$

式1からも分かるように、低消費電力化の実現のためには、負荷容量C、クロック周波数f、電源電圧Vddをすべて下げることが理想的であるが、これらすべてのものを夫々下げて、動作モード時の高速化と、待機モード時の低消費電力化の両者を実現することは極めて難しい。すなわち、負荷容量Cは製造プロセスに依存するため、プロセス上の工夫が必要であり、負荷容量Cを下げることは困難である。一方、半導体集積回路装置の動作を高速にするためには、クロック周波数fを上げることが必要となるため、低消費電力化のためであってもクロック周波数fを下げることは望ましくない。したがって、消費電力を低減するためには、式1からも電源電圧Vddを下げるのが最も有効である。

ところで、遅延時間は以下に示される式2に比例する。ここで、式2において、係数を β 、トランジスタの閾値電圧を V_{th} として式2を示す。

$$\text{式 2 : } C \cdot V_{dd} / \beta (V_{dd} - V_{th})^2$$

しかし、式2からも分かるように、電源電圧Vddを下げることで、遅延時間が増加し、高速化の妨げになる。よって、遅延時間を増加させずに半導体集積回路装置を高速化させるためには、トランジスタの閾値電圧 V_{th} を下げるのが

有効であり、遅延時間を遅くせずに高速化することができる。

さらに、待機時のリーク電流は、以下に示される式 3 に比例する。ここで、サブスレッショルド領域の電圧 V_g に対する電流 I_d の傾きを S として式 3 を示す。

$$\text{式 3 : } \exp(-V_{th}/S)$$

式 3 から分かるように、閾値電圧 V_{th} を下げることにより、待機時において流れるトランジスタのドレイン・ソース間電流が増加するため、リーク電流は増加する。よって、閾値電圧 V_{th} を動作時と待機時とで変化させると、動作速度と待機時リークとの両者を満足させることとなる。

すなわち、この動作モード時の高速化と待機モード時の低消費電力化の両面を満足させるための一手段として、基板バイアス効果（もしくは基板効果）を積極的に活用することが有効である。

この基板バイアス効果は、MOS トランジスタのバックゲート電極に基板バイアスを印加することによって、MOS トランジスタの閾値電圧が変化し、サブスレッショルド領域におけるゲート・ソース間電圧に対するドレイン・ソース間電流特性が変化するものである。

例えば図 3 2 (a) に示される NMOS トランジスタのサブスレッショルド領域におけるゲート・ソース間電圧に対するドレイン・ソース間電流特性について以下に述べる。

NMOS のバックゲート電極にソース電極と同じ電位を印加した状態を N 3（閾値電圧＝約＋0.7 V）とし、ソース電極に対してバックゲート電極に正の電位を印加すると、前記状態 N 3（閾値電圧＝約＋0.7 V）から、状態 N 2（閾値電圧＝約＋0.5 V）もしくは状態 N 1（閾値電圧＝約＋0.3 V）へと変化する。そして、前記 NMOS の閾値電圧が低下すると共にオフ電流が増加する。

又、ソース電極に対して、バックゲート電極に負の電位を印加すると、前記状態 N 3（閾値電圧＝約＋0.7 V）から、状態 N 4（閾値電圧＝約＋0.9 V）もしくは N 5（閾値電圧＝約＋1.1 V）へと変化する。そして、NMOS の閾値電圧が上昇すると共にオフ電流が減少する。

これは PMOS トランジスタ（以下 PMOS と示す）でも同様の特性変化を示

すものであり、例えば図32(b)にPMOSのサブスレッシュホールド領域におけるゲート-ソース間電圧に対するドレイン・ソース間電流特性が示される。

PMOSのバックゲート電極にソース電極と同じ電位を印加した状態をP3(閾値電圧=約-0.7V)とし、NMOSとは逆にソース電極に対してバックゲート電極に負の電位を印加すると、前記状態P3(閾値電圧=約-0.7V)から、状態P2(閾値電圧=約-0.5V)もしくは状態P1(閾値電圧=約-0.3V)へと変化する。そして、PMOSの閾値電圧が絶対値で低下すると共にオフ電流が絶対値で増加する。

又、NMOSとは逆に、ソース電極に対してバックゲート電極に正の電位を印加すると、PMOSは、前記状態P3(閾値電圧=約-0.7V)から状態P4(閾値電圧=約-0.9V)、もしくは状態P5(閾値電圧=約-1.1V)へと変化する。そして、閾値電圧が絶対値で上昇すると共にオフ電流が絶対値で減少する。

この特性を利用して、予めNMOS、PMOSのサブスレッシュホールド領域特性が状態N2(閾値電圧=約+0.5V)、状態P2(閾値電圧=約-0.5V)あるいは更に絶対値で閾値電圧が低い状態N1(閾値電圧=約+0.3V)、状態P1(閾値電圧=約-0.3V)のサブスレッシュホールド領域特性となる様に形成する。さらに、動作モード時には、ソース電極とバックゲート電極を同電位とさせることによって、MOSトランジスタの閾値電圧を絶対値で低くし、且つドレイン・ソース電流を絶対値で多く流れるようにする。このことによって、機能モジュールを構成するMOSトランジスタのスイッチ制御を高速化させると共にドライブ能力を向上させ、半導体集積回路装置の高速化が可能となる。

逆に待機モード時には、バックゲート電極に基板バイアスを印加することによって、MOSトランジスタの閾値電圧を絶対値で高くし、且つオフ電流を絶対値で非常に小さい状態N3(閾値電圧=約+0.7V)、状態P3(閾値電圧=約-0.7V)とする。あるいは、更に絶対値で閾値電圧が高い状態N4(閾値電圧=約+0.9V)、状態P4(閾値電圧=約-0.9V)もしくは状態N5(閾値電圧=約+1.1V)、状態P5(閾値電圧=約-1.1V)へと特性を変化させる。このため、機能モジュールのスタンバイ電流を非常に小さくするこ

とができ、半導体集積回路装置の低消費電力化が可能となる。

以上述べたような、基板バイアス効果の半導体集積回路装置への適用が、近年研究開発されているが、基板バイアス効果を半導体集積回路装置へ適用するためには基板電位又はウエル電位を調整する、基板バイアス制御回路を半導体集積回路装置へ搭載することが必要となる。

すなわち、基板バイアス効果を前述のCMOS回路に適用するには、PMOS、NMOSの各ソース電極及びバックゲート電極を独立させ、ソース電極に供給される電源配線又は接地配線の電位とは異なる各バックゲート電極制御用の新たな電源配線が必要となる。更に、マスタスライス型半導体装置にこの効果を適用する場合、電源配線、接地配線及び信号配線を含めた配線レイアウトは、自動配置配線等のソフトウェアによりレイアウト設計されるため、新たに設けるPMOS、NMOSの各バックゲート電極制御用の電源配線を如何に効率良く配線するか、その配線領域の確保が問題となると共に、配線ルールの定義が必要となる。

ところで、この基板バイアス効果を用いた半導体集積回路装置に搭載された、基板バイアス制御回路の従来技術として、日経BP社発行「日経マイクロデバイス、1995年3月号、P58～60」に掲載の東芝半導体デバイス技術研究所、黒田忠広氏、桜井貴康氏による基板バイアス制御回路がある。

この基板バイアス制御回路が図35、各部信号波形を示すタイミングチャートが図36、図37に示される。

図35に示される基板バイアス制御回路は、半導体集積回路装置外部より電源電圧 $V_{dd}=+2V$ 、接地電圧 $V_{ss}=\pm 0V$ と、新たにNMOSのPウエル向けに電圧 $V_{PBB}=-2V$ 、PMOSのNウエル向けに電圧 $V_{NBB}=+4V$ が供給されるものである。そして、半導体集積回路装置内の機能モジュール単位で基板バイアスを変化させ、全ての回路について電力と速度をダイナミックに最適制御するものである。

次に図35に示される基板バイアス制御回路の動作について、図36、図37を用いて説明する。

チップ・イネーブル信号CEがハイレベルとされることにより、前記チップ・イネーブル信号CEの反転信号CE（バー）がローレベルに設定されて動作モー

ドが設定される。

前記チップ・イネーブル信号CEがハイレベルとされることによって、NMOSQ47がオン状態とされ、ラインVN1の電位が±0Vにされるため、NMOSQ49がオン状態とされる。

そして、前記NMOSQ49がオン状態とされるとラインVN2の電位が±0Vとされ、ラインVN3の電位は順方向に直列接続されたダイオードD1、D2の接続個数にダイオードの閾値電圧を掛けた電位とほぼ等しくなる。例えば、ダイオードが3個直列に接続され、前記ダイオードの閾値電圧が+0.6Vである場合は、ラインVN3の電位は約+1.8Vとされる。尚、PMOSQ48は常にオン状態とされている。

前記ラインVN3の電位が約+1.8Vとされることにより、PMOSQ50がオン状態、NMOSQ57がオフ状態とされ、ラインVN4の電位が+4Vとされる。そして、ラインVN4の電位が+4Vにされると、PMOSQ52がオフ状態、NMOSQ59がオン状態とされ、機能モジュール内のNウエルに電圧 $V_{nw}=+2V$ の電位が印加される。

一方、チップ・イネーブル信号CEの反転信号CE(バー)がローレベルに設定されることによって、PMOSQ44がオン状態とされ、ラインVP1の電位が+2Vとされるため、PMOSQ46がオン状態とされる。

そして、前記PMOSQ46がオン状態とされると、ラインVP2の電位が+2Vとされる。ラインVP3の電位は、順方向に直列接続されたダイオードD3、D4の接続個数の値にダイオードの閾値電圧を掛けた電位とほぼ等しい電位を、前記ラインVP2の電位+2Vから引いた値まで低下する。例えば、ダイオード3個が直列に接続され、前記ダイオードの閾値電圧が+0.6Vである場合は、ラインVP3の電位は約+0.2Vとなる。尚、NMOSQ51は常にオン状態となる。

前記ラインVP3の電位が約+0.2Vとされることにより、PMOSQ54がオフ状態、NMOSQ53がオン状態とされ、ラインVP4の電位が-2Vとされる。そして、前記ラインVP4の電位が-2Vとされると、PMOSQ56がオン状態、NMOSQ55がオフ状態とされ、機能モジュール内のPウエルに

電圧 $V_{pw} = \pm 0\text{ V}$ の電位が印加される。

次に、前記チップ・イネーブル信号 CE がローレベルに設定されることにより、チップ・イネーブル信号 CE の反転信号 \overline{CE} (バー) がハイレベルに設定されて待機モードに設定される。

前記チップ・イネーブル信号 CE がローレベルに設定されると、 $NMOSQ47$ がオフ状態とされ、ライン V_{N1} の電位が $V_{dd} - V_{th}$ (V_{th} : $NMOSQ49$ の閾値電圧) とされるため、前記 $NMOSQ49$ がオフ状態とされる。

前記 $NMOSQ49$ がオフ状態とされると、ライン V_{N2} の電位が電圧 V_{NB} に対して、順方向に直列接続されたダイオード $D1$, $D2$ の接続個数にダイオードの閾値電圧を掛けた電位とほぼ等しい電位だけ低下する。例えば、ダイオードが3個直列に接続され、ダイオードの閾値電圧が $+0.6\text{ V}$ である場合は、ライン V_{N2} の電位は約 $+2.2\text{ V}$ になる。尚、 $PMOSQ48$ は常にオン状態であるため、ライン V_{N3} の電位は $+4\text{ V}$ とされる。

前記ライン V_{N3} の電位が約 $+4\text{ V}$ にされると、 $PMOSQ50$ がオフ状態、 $NMOSQ57$ がオン状態とされ、ライン V_{N4} の電位が $+2\text{ V}$ とされる。前記ライン V_{N4} の電位が $+2\text{ V}$ にされると、 $PMOSQ52$ がオン状態、 $NMOSQ59$ がオフ状態とされ、機能モジュール内の N ウェルに電圧 $V_{nw} = +4\text{ V}$ の電位が印加される。

一方、チップ・イネーブル信号 CE の反転信号 \overline{CE} (バー) がハイレベルに設定されることにより、 $PMOSQ44$ がオフ状態とされ、ライン V_{P1} の電位が $V_{ss} + V_{th}$ (V_{th} : $PMOSQ46$ の閾値電圧) になるため、 $PMOSQ46$ がオフ状態とされる。

前記 $PMOSQ46$ がオフ状態にされると、ライン V_{P2} の電位が、電圧 V_{PB} に対して順方向に直列接続された、ダイオード $D3$, $D4$ の接続個数にダイオードの閾値電圧を掛けた電位とほぼ等しい電位だけ上昇する。例えば、ダイオードが2個直列に接続され、ダイオードの閾値電圧が $+0.6\text{ V}$ である場合は、ライン V_{P2} の電位は約 -0.8 V になる。尚、 $NMOSQ51$ は常にオン状態であるため、ライン V_{P3} の電位は -2 V とされる。

前記ライン V_{P3} の電位が約 -2 V にされると、 $PMOSQ54$ がオン状態、

NMOSQ53がオフ状態とされ、ラインVP4の電位が0Vとされる。そして、前記ラインVP4の電位が0Vにされると、PMOSQ56がオフ状態、NMOSQ55がオン状態とされ、機能モジュール内のPウェルに電圧 $V_{pw} = -2V$ の電位が印加される。

従って、動作モード時には、ソース電極とバックゲート電極が同電位とされることによって、MOSトランジスタが絶対値で閾値電圧が低くされ、且つドレイン・ソース電流が絶対値で多く流れるため、機能モジュールを構成するMOSトランジスタのスイッチ制御が速くなると共にドライブ能力が向上する。

さらに、待機モード時には、バックゲート電極に基板バイアスが印加されることによって、閾値電圧が絶対値で高くされ、且つオフ電流が絶対値で非常に小さくされるため、機能モジュールのスタンバイ電流が非常に小さくされる。すなわち、動作モード時の高速化と待機モード時の低消費電力化の両面を実現するものであった。

しかしながら、図35に示される従来技術の基板バイアス制御回路においては、動作モードから待機モードに切り替わった後のスタンバイ電流は約 $0.1\mu A$ にすぎないものの、待機モードから動作モードに切り替わった後のスタンバイ電流については、PMOSQ48，ダイオードD1，D2，NMOSQ47，Q49により形成される電流経路において、オフ状態となるMOSトランジスタあるいはダイオード素子が無い。すなわち、ダイオードは、両端に常に電圧がかかる素子であるために、完全なオフ状態とはならず、一定の電圧において平衡状態になってしまう。したがって、基板バイアス制御回路において、定常的に電圧 V_{NB} ・接地電圧 V_{ss} 間に貫通電流が流れていた。これはPMOSQ44，Q46，ダイオードD3，D4，NMOSQ51により形成される電流経路においても同様に、オフ状態となるMOSトランジスタあるいはダイオード素子が存在しないため、定常的に電源電圧 V_{dd} ・電圧 V_{PB} 間にも電流が流れていた。しかし、前述したような待機モード時の定常的な電流は、特に、待機モード時のリーク電流に対する対策が携帯電話等の普及により必要不可欠なものとなっているため、CMOSLSIの低消費電力化及びCMOSLSIを搭載した電位機器の低消費電力化ということに反する要因となってしまう。

又、ダイオードD 1, D 2, D 3, D 4を形成するためには、各ダイオードのウエル領域を分離する必要があるため、NMOS Q 4 7, Q 4 9, Q 5 7, Q 5 9が形成されるPウエル領域と、NMOS Q 5 1, Q 5 3, Q 5 5が形成されるPウエル領域と、PMOS Q 4 4, Q 4 6, Q 5 4, Q 5 6が形成されるNウエル領域と、PMOS Q 4 8, Q 5 0, Q 5 2が形成されるNウエル領域を各々ウエル分離する他に、使用するダイオードの数だけウエル分離する必要があった。

しかし、各ウエルの分離は、隣接する他のウエル領域と非導通状態にするため、少なくとも数 μm のスペースを設ける必要が有ると共に、ダイオードのアノード電極取り出し部、及びカソード電極取り出し部を設ける必要があるため、レイアウト面積が増加し半導体集積回路装置の高集積化を妨げていた。

さらに、近年LSIは2電源混在LSIの形式を採っており、電源はLSIチップ外部あるいは内部にて形成し、外部から供給した電圧は内部でスイッチングしている。特に、高電圧については外部から供給するケースが多いが、印加する電圧が大きいほどトランジスタのゲート酸化膜は厚くなるように形成されている。

しかしながら、前述したように、LSIの高集積化・微細化がすすめられているため、ゲート酸化膜の厚さは薄く形成されるようになってきているものの、2電源混在LSIにおいては2電源のうち電圧の高い方に合わせてゲート酸化膜の厚さが調整されている。このため、基板バイアス制御回路においては、ゲート酸化膜の厚さが厚く形成されており、トランジスタのゲート酸化膜の長期信頼性という意味では不具合が生じる。

[発明の開示]

本発明の目的は、基板バイアス制御回路を有する半導体集積回路装置において、電源間に定常的に流れる電流経路を全て無くすことによって、動作モードから待機モードに切り替わった後のスタンバイ電流及び待機モードから動作モードに切り替わった後のスタンバイ電流を共に微少電流とし、高速化且つ低消費電力化を実現することにある。

さらに、本発明の他の目的は、基板バイアス制御回路をマスタスライス型半導体集積回路装置に適用した場合の、電源配線及び接地配線の電位とは異なるPMOS, NMOSの各バックゲート電極制御用の新たな電源配線領域を確保し、効

率良く配線レイアウトする配線ルールを提供することにより、動作時の高速化と待機時の低消費電力化を同時に実現することにある。

本発明の半導体集積回路装置は、

第1導電型のトランジスタと、第2導電型のトランジスタとを具備した機能モジュールを有する半導体集積回路装置において、

ゲート電極に制御信号が印加されてオン／オフが制御され、かつソース電極が第1の電源よりも高電位の第2の電源に接続された第1の第1導電型のトランジスタと、

ゲート電極が前記制御信号の反転信号により制御され、前記第1の第1導電型のトランジスタとは排他的にオン／オフが制御され、かつソース電極が前記第2の電源に接続された第2の第1導電型のトランジスタと、

ソース電極が前記第1の電源よりも低電位の第3の電源に接続され、前記第2の第1導電型のトランジスタの動作および前記第1の第1導電型のトランジスタの動作に基づいてオン／オフが制御される第1の第2導電型のトランジスタと、

ソース電極が前記第3の電源に接続され、前記第1の第1導電型トランジスタの動作および前記第2の第1導電型のトランジスタの動作に基づいてオン／オフ制御がされる第2の第2導電型のトランジスタと、

前記第1の第1導電型のトランジスタと前記第1の第2導電型のトランジスタとの間に直列に接続されて介在し、ゲート電極が前記第1の電源に接続されると共に、ソース電極が前記第1の第1導電型のトランジスタのドレイン電極に接続された第3の第1導電型のトランジスタと、

前記第1の第1導電型のトランジスタと前記第1の第2導電型のトランジスタとの間に直列に接続されて介在し、ゲート電極が前記第1の電源に接続されると共に、ソース電極が前記第1の第2導電型のトランジスタのドレイン電極に接続され、ドレイン電極が前記第3の第1導電型のトランジスタのドレイン電極と接続された第3の第2導電型のトランジスタと、

前記第2の第1導電型のトランジスタと前記第2の第2導電型のトランジスタとの間に直列に接続されて介在し、ゲート電極が前記第1の電源に接続されると共に、ソース電極が前記第2の第1導電型のトランジスタのドレイン電極に接続

された第4の第1導電型のトランジスタと、

前記第2の第1導電型のトランジスタと前記第2の第2導電型のトランジスタとの間に直列に接続されて介在し、ゲート電極が前記第1の電源に接続されると共に、ソース電極が前記第2の第2導電型のトランジスタのドレイン電極に接続され、ドレイン電極が前記第4の第1導電型のトランジスタのドレイン電極と接続された第4の第2導電型のトランジスタとを含む第1の信号電圧レベル変換回路と、

前記第1の信号電圧レベル変換回路の出力信号をバッファリングして、前記機能モジュールを構成する第1導電型のトランジスタのバックゲート電極を制御する第1の論理回路と、

を備えた基板バイアス制御回路を含み、

前記第1の信号電圧レベル変換回路において、前記第1の第2導電型のトランジスタのドレイン電極かつ前記第3の第2導電型のトランジスタのソース電極が、前記第2の第2導電型のトランジスタのゲート電極に接続され、前記第2の第2導電型のトランジスタのドレイン電極かつ前記第4の第2導電型のトランジスタのソース電極が、前記第1の第2導電型のトランジスタのゲート電極に接続され、前記第1の第2導電型のトランジスタと前記第2の第2導電型のトランジスタにてなるフィードバックループによりフリップフロップが形成されたものである。

さらに、本発明の半導体集積回路装置は、

第1導電型のトランジスタと、第2導電型のトランジスタとを具備した機能モジュールを有する半導体集積回路装置において、

ゲート電極に制御信号が印加されてオン／オフが制御され、かつソース電極が第1の電源に接続された第1の第2導電型のトランジスタと、

ゲート電極が前記制御信号の反転信号により制御されて前記第1の第2導電型のトランジスタとは排他的にオン／オフが制御され、かつソース電極が前記第1の電源に接続された第2の第2導電型のトランジスタと、

ソース電極が第4の電源に接続され、前記第2の第2導電型のトランジスタの動作および前記第1の第2導電型のトランジスタの動作に基づいてオン／オフが制御される第1の第1導電型のトランジスタと、

ソース電極が前記第4の電源に接続され、前記第1の第2導電型トランジスタの動作および前記第2の第2導電型のトランジスタの動作に基づいてオン/オフが制御される第2の第1導電型のトランジスタと、

前記第1の第2導電型のトランジスタと前記第1の第1導電型のトランジスタとの間に直列接続されて介在し、ゲート電極が前記第1の電源よりも高電位であり且つ前記第4の電源よりも低電位の第2の電源に接続されると共に、ソース電極が前記第1の第2導電型のトランジスタのドレイン電極に接続された第3の第2導電型のトランジスタと、

前記第1の第2導電型のトランジスタと前記第1の第1導電型のトランジスタとの間に直列接続されて介在し、ゲート電極が前記第2の電源に接続されると共に、ソース電極が前記第1の第1導電型のトランジスタのドレイン電極に接続され、ドレイン電極が前記第3の第2導電型のトランジスタのドレインと接続された第3の第1導電型のトランジスタと、

前記第2の第2導電型のトランジスタと前記第2の第1導電型のトランジスタとの間に直列接続されて介在し、ゲート電極が前記第2の電源に接続されると共に、ソース電極が前記第2の第2導電型のトランジスタのドレイン電極に接続された第4の第2導電型のトランジスタと、

前記第2の第2導電型のトランジスタと前記第2の第1導電型のトランジスタとの間に直列接続されて介在し、ゲート電極が前記第2の電源に接続されると共に、ソース電極が前記第2の第1導電型のトランジスタのドレイン電極に接続され、ドレイン電極が前記第4の第2導電型のトランジスタのドレイン電極と接続された第4の第1導電型のトランジスタとを含む第2の信号電圧レベル変換回路と、

前記第2の信号電圧レベル変換回路の出力信号をバッファリングして、前記機能モジュールを構成する第2導電型のトランジスタのバックゲート電極を制御する第2の論理回路と、

を備えた基板バイアス制御回路を含み、

前記第2の信号電圧レベル変換回路において、前記第1の第1導電型のトランジスタのドレイン電極と前記第3の第1導電型のトランジスタのソース電極が、

前記第2の第1導電型のトランジスタのゲート電極に接続され、前記第2の第1導電型のトランジスタのドレイン電極と前記第4の第1導電型のトランジスタのソース電極が前記第1の第1導電型のトランジスタのゲート電極に接続され、前記第1の第1導電型のトランジスタと前記第2の第1導電型のトランジスタにてなるフィードバックループによりフリップフロップが形成されたものである。

したがって、第1導電型または第2導電型のウエルの少なくとも一方への信号を形成する基板バイアス制御回路における、動作モード時の高速化と待機モード時の低消費電力化の両面を実現することを可能とし、かつ、基板バイアス制御回路を構成する第1および第2の信号電圧レベル変換回路うちの少なくとも一方において、電源間に定常的に流れる電流経路を無くすことができ、動作モードから待機モード及び待機モードから動作モードに切り替わった後のスタンバイ電流を非常に小さくすることができ、ダイオードのウエル分離が不要となるのでレイアウト面積を小さくすることができる。

以下に好ましい半導体集積回路装置を例示する。

(1) 前記基板バイアス制御回路は、前記第1, 第2, 第3, 且つ第4の第1導電型のトランジスタが同一領域の第2導電型のウエル領域に形成され、前記第2導電型のウエル領域におけるウエル電極が前記第2の電源もしくは前記第2の電源よりも高電位の前記第4の電源に接続され、前記第1, 第2, 第3, 且つ第4の第2導電型のトランジスタが同一領域の第1導電型のウエル領域に形成され、前記第1導電型のウエル電極が前記第3の電源に接続された前記第1の信号電圧レベル変換回路を有する。

(2) 前記基板バイアス制御回路は、前記第1かつ第2の第2導電型のトランジスタが同一の領域の第1の第1導電型のウエル領域に形成され、前記第1の第1導電型のウエル領域のウエル電極が前記第3の電源に接続され、前記第3の第2導電型のトランジスタが第2の第1導電型のウエル領域に形成され、前記第2の第1導電型のウエル電極が前記第3の第2導電型のトランジスタのソース電極に接続され、前記第4の第2導電型のトランジスタが第3の第1導電型のウエル領域に形成され、前記第3の第1導電型のウエル領域のウエル電極が前記第4の第2導電型のトランジスタのソース電極に接続された前記第1の信号電圧レベル変

換回路を有する。

(3) 前記基板バイアス制御回路は、前記第1、第2、第3、および第4の第1導電型のトランジスタが同一領域の第2導電型のウエル領域に形成され、前記第2導電型のウエル領域におけるウエル電極が前記第4の電源に接続され、前記第1、第2、第3、および第4の第2導電型のトランジスタが同一領域の第1導電型ウエル領域に形成され、前記第1導電型のウエル領域におけるウエル電極が前記第1の電源もしくは前記第1の電源よりも低電位の第3の電源に接続された前記第2の信号電圧レベル変換回路を有する。

(4) 前記基板バイアス制御回路は、前記第1且つ第2の第1導電型のトランジスタが同一領域の第1の第2導電型のウエル領域に形成され、前記第1の第2導電型のウエル領域のウエル電極が前記第4の電源に接続され、前記第3の第1導電型のトランジスタが第2の第2導電型のウエル領域に形成され、前記第2の第2導電型のウエル領域のウエル電極が前記第3の第1導電型のトランジスタのソース電極に接続され、前記第4の第1導電型のトランジスタが第3の第2導電型のウエル領域に形成され、前記第3の第2導電型のウエル領域のウエル電極が前記第4の第1導電型のトランジスタのソース電極に接続された前記第2の信号電圧レベル変換回路を有する。

したがって、本発明においては、前記各ウエル領域内に形成された第1導電型および第2導電型のトランジスタのバックゲート電極が制御されることにより、前記トランジスタの閾値電圧を変化させることが可能となり、オフ電流を減少させて待機モード時での低消費電力化が図ることができるとともに、ドレイン・ソース電流が多く流れるようにして、前記第2の信号電圧レベル変換回路の高速動作及びドライブ能力を向上することができる。

さらに、前記半導体集積回路装置の動作モードと待機モードにおける動作を使い分けるためには、以下に例示する半導体集積回路装置が好ましい。

(5) 前記第1の信号電圧レベル変換回路は、前記第3及び第4の第2導電型のトランジスタのうち、少なくとも一方のチャネル長が、前記第1及び第2の第2導電型のトランジスタのチャネル長より短く形成されたものであること、前記第3及び第4の第2導電型のトランジスタの少なくとも一方のチャネル幅が、前記

第1及び第2の第2導電型のトランジスタのチャネル幅よりも大きく形成されたものであること、および前記第3及び第4の第2導電型のトランジスタの少なくとも一方の閾値電圧が、前記第1及び第2の第2導電型のトランジスタの閾値電圧よりも絶対値で低く形成されたものであること、のうちのいずれかの条件を満たす。

(6) 前記基板バイアス制御回路は、前記第1の電源と前記第3の電源で、論理振幅が規定される前記第1の論理回路の出力信号が、前記第1の信号電圧レベル変換回路と前記第1の論理回路が形成される領域ではなく、他の機能モジュール形成領域の第1導電型のウェル領域に接続され、前記機能モジュールを構成する第2導電型のトランジスタのバックゲート電極が電位制御される。

(7) 前記基板バイアス制御回路は、前記第1の電源と前記第3の電源で、論理振幅が規定される前記第1の論理回路を構成する前記第1導電型のトランジスタのバックゲート電極が、前記第2の電源もしくは前記第2の電源よりも高電位の第4の電源と接続される。

(8) 前記基板バイアス制御回路は、前記第1の電源と前記第3の電源で、論理振幅が規定される前記第1の論理回路を構成する前記第1導電型のトランジスタのバックゲート電極が、前記第1導電型のトランジスタのソース電極と同電位である前記第1の電源と接続される。

(9) 前記第2の信号電圧レベル変換回路は、前記第3及び第4の第1導電型のトランジスタのうち、少なくとも一方のチャネル長が、前記第1及び第2の第1導電型のトランジスタのチャネル長より短く形成されたものであること、前記第3及び第4の第1導電型のトランジスタの少なくとも一方のチャネル幅が、前記第1及び第2の第1導電型のトランジスタのチャネル幅よりも大きく形成されたものであること、および前記第3及び第4の第1導電型のトランジスタの少なくとも一方の閾値電圧が、前記第1及び第2の第1導電型のトランジスタの閾値電圧よりも絶対値で低く形成されたものであることのうちのいずれかの条件を満たす。

(10) 前記基板バイアス制御回路は、前記第4の電源と前記第2の電源で、論理振幅が規定される前記第2の論理回路の出力信号が、前記第2の信号電圧レベ

ル変換回路と前記第2の論理回路が形成される領域ではなく他の機能モジュール形成領域の第2導電型のウエル領域に接続され、前記機能モジュールを構成する第1導電型のトランジスタのバックゲート電極が電位制御される。

(11) 前記基板バイアス制御回路は、前記第4の電源と前記第2の電源で、論理振幅が規定される前記第2の論理回路を構成する前記第2導電型のトランジスタのバックゲート電極は、前記第1の電源もしくは前記第1の電源よりも絶対値で低電位の第3の電源と接続される。

(12) 前記基板バイアス制御回路は、前記第4の電源と前記第2の電源で、論理振幅が規定される前記第2の論理回路を構成する前記第2導電型のトランジスタのバックゲート電極は、前記第2導電型のトランジスタのソース電極と同電位である前記第2の電源に接続されることを特徴とする。

したがって、前記基板バイアス制御回路の出力信号により、動作モード／待機モード時にトランジスタのバックゲート電極を制御することができ、動作モード時に、前記機能モジュールにおけるトランジスタのスイッチ制御が高速にすることができると共に、ドライブ能力が向上でき、前記機能モジュールを高速動作させることができる。また、待機モード時には前記機能モジュールにおけるトランジスタのオフ電流を減少させることができるので、半導体集積回路装置の低消費電力化が実現できる。

また、本発明の半導体集積回路装置は、さらに以下に例示する回路を有することが望ましい。

(13) 前記基板バイアス制御回路は、波形整形用の第1の反転論理回路を含み、前記第1の信号電圧レベル変換回路の第1の出力端子もしくは第2の出力端子に前記波形整形用の第1の反転論理回路の入力端子が接続され、前記第1の論理回路の入力端子に出力端子が接続され、前記第1の電源と前記第3の電源で論理振幅が規定され、且つ前記第1の論理回路を構成する第1導電型のトランジスタよりも大きいチャネル長、小さいチャネル幅および高い閾値電圧のうちのいずれかの条件にて形成された第1導電型のトランジスタを含む波形整形用の第1の反転論理回路を有する。

(14) 前記第2の信号電圧レベル変換回路の第1の出力端子もしくは第2の出

力端子に入力端子が接続され、前記第2の論理回路の入力端子に出力端子が接続され、前記第4の電源と前記第2の電源で論理振幅が規定され、かつ前記第2の論理回路を構成する第2導電型のトランジスタよりも大きいチャネル長、小さいチャネル幅、および高い閾値電圧のうちのいずれかの条件にて形成された第2導電型のトランジスタによる波形整形用の第2の反転論理回路を有する。

したがって、前記第1の信号電圧レベル変換回路の出力信号を一旦波形整形してから、前記第1の論理回路によりバッファリングすることができるので、前記第1の論理回路への入力信号の信号振幅を前記第1の電源と第3の電源とすることができ、かつ前記第2の信号電圧レベル変換回路の出力信号を一旦波形整形してから、前記第2の論理回路によりバッファリングすることができるので、前記第2の論理回路への入力信号の信号振幅を前記第2の電源と第4の電源とすることができるので、待機モード時のリーク電流を低減することができる。

また、前記第1の論理回路および前記第2の論理回路は、以下のように構成されることが望ましい。

(15) 前記第1の論理回路または前記第2の論理回路は、入力側に形成された駆動能力の小さい論理回路と、出力側に形成された駆動能力の大きい論理回路とが接続されて形成されてなるものである。

(16) 前記半導体集積回路装置が第2導電型の基板上に形成され、前記第1の信号電圧レベル変換回路、前記第1の論理回路、もしくは前記第1の信号電圧レベル変換回路、前記第1の論理回路、前記第1の反転論理回路により、前記第1の信号電圧レベル変換回路、前記第1の論理回路、もしくは前記第1の信号電圧レベル変換回路、前記第1の論理回路、前記第1の反転論理回路が形成される領域ではなく他の機能モジュール形成領域である第1導電型のウエル領域内に形成された第2導電型のトランジスタのバックゲート電極のみが電位制御される。

(17) 前記半導体集積回路装置が第1導電型の基板上に形成され、前記第2の信号電圧レベル変換回路、前記第2の論理回路もしくは前記第2の信号電圧レベル変換回路、前記第2の論理回路、前記第2の反転論理回路により、前記第2の信号電圧レベル変換回路、前記第2の論理回路もしくは前記第2の信号電圧レベル変換回路、前記第2の論理回路、前記第2の反転論理回路が形成される領域で

はなく他の機能モジュール形成領域である第2導電型のウエル領域内に形成された第1導電型のトランジスタのバックゲート電極のみが電位制御される。

したがって、前記入力側に形成された論理回路によって波形整形を行ない、前記出力側に形成された駆動能力の大きい論理回路により、前記機能モジュールを構成する前記第2導電型または前記第1導電型のトランジスタのバックバイアス制御用電圧を制御する信号を大きな駆動能力にて形成することができ、動作モード／待機モードのモード切り替えの際の充放電電流を少なくすることができる。さらに、前記第1の論理回路および前記第2の論理回路の出力は、夫々前記基板バイアス制御回路の出力と同一であり、基板バイアス制御回路の出力信号が、前記機能モジュールを構成する前記第2導電型のトランジスタが形成され、かつ前記第2導電型の基板と電気的に分離された前記第1導電型のウエルに印加されることにより、動作モード／待機モード時に第1／第2の電圧を、前記第2導電型のトランジスタのバックゲート電極に印加することができる。

更に、基板バイアス制御回路の出力信号が、機能モジュールを構成する第1導電型のトランジスタが形成され、かつ前記第1導電型の基板と電気的に分離された第2導電型のウエルに印加されることにより、動作モード／待機モード時に第2／第4の電源の電圧を、前記第2導電型のトランジスタに印加することができる。

本発明の機能モジュールは、以下のように構成されることが望ましい。

(18) 所定の機能モジュールを構成する機能モジュール形成領域と、前記機能モジュールの入出力信号を外部装置とインターフェースする入出力回路形成領域を含む周辺回路を有する半導体集積回路装置において、前記周辺回路形成領域に設けられたトランジスタの閾値電圧が第1の閾値電圧にて形成され、前記機能モジュール形成領域に設けられたトランジスタの閾値電圧は、前記周辺回路形成領域に設けられたトランジスタの前記第1の閾値電圧よりも絶対値で低い第2の閾値電圧にて形成され、前記機能モジュールが待機状態に設定されることにより、前記機能モジュール形成領域に具備されたトランジスタのバックゲート電極の電位が制御されて、前記第2の閾値電圧よりも絶対値で高い第3の閾値電圧に設定される。

(19) 所定の機能モジュールを構成する機能モジュール形成領域と、前記機能モジュールの入出力信号を外部装置とインターフェースする入出力回路形成領域を含む周辺回路を有する半導体集積回路装置において、前記機能モジュール領域と前記入出力回路形成領域に設けられたトランジスタの閾値電圧が第1の閾値電圧にて形成され、前記機能モジュールが待機状態に設定されることにより、前記機能モジュール形成領域に設けられたトランジスタのバックゲート電極の電位が制御され、前記第1の閾値電圧より絶対値で高い第2の閾値電圧に設定される。

したがって、前記機能モジュールが待機状態に設定されると、前記機能モジュール形成領域内に形成されたトランジスタのバックゲート電極が電位制御され、前記機能モジュールの高速化が達成できるとともに前記機能モジュールの低消費電力化が達成できる。

本発明の機能モジュールは以下に例示される構成でレイアウトされる。

本発明の半導体集積回路装置は、第1導電型のトランジスタと、第2導電型のトランジスタにより構成される基本セルを具備し、配線変更により所定の機能回路を構成するためにマトリクス状に配置された複数の前記基本セル群により構成された機能モジュールと、前記基本セル群により構成された機能モジュールの周辺に配置された外部装置と入出力信号をインターフェースする入出力セル群を含む周辺回路とを有する半導体集積回路装置において、

前記複数の基本セル群に供給される電源は、第1金属配線層および該第1金属配線層よりも上層の第2金属配線層にて供給されるものであり、

前記第1及び前記第2導電型のトランジスタのチャネル長方向に延長された前記第1金属配線層にて、前記第2の電源と、前記第2の電源よりも低電位の第1の電源とを前記基本セル群に供給し、

前記第1及び前記第2導電型のトランジスタのチャネル幅方向に延長された前記第2金属配線層にて、前記第2の電源と同電位もしくは高電位の第4の電源と、前記第1の電源と同電位もしくは低電位の第3の電源とを前記基本セル群に供給する。

したがって、前記第1金属配線層と、前記第2金属配線層とを利用することにより、電源供給を効率よく行なうことができる。

さらに、本発明の半導体集積回路のレイアウトは以下に例示するように行われることが望ましい。

(20) 前記第1及び前記第2導電型のトランジスタのチャネル幅方向に延長された前記第2金属配線層にて形成された、前記第3の電源と前記第4の電源とを供給する電源配線は、前記第1及び前記第2導電型のトランジスタのチャネル幅方向の配線グリッドかつウエル電極上に配置配線される。

したがって、前記第3の電源と前記第4の電源が供給された前記第2金属配線層が、前記ウエル電極上に配置配線されることにより、前記ウエル電極と、前記第2金属配線層とを容易に接続することができる。

更に、本発明の半導体集積回路装置の接続孔の配置は以下に例示されるように行われることが望ましい。

また、本発明の半導体集積回路装置は、さらに以下に例示する回路を有することが望ましい。

(21) 前記第2金属配線層による第1導電型のトランジスタの第2導電型のウエル電極への前記第4の電源の給電は、接続孔、もしくは前記接続孔及び第1金属配線層を介して行われ、前記第2金属配線層による第2導電型のトランジスタの第1導電型のウエル電極への前記第3の電源の給電は、接続孔、もしくは接続孔と前記第1金属配線層を介して行われる。

(22) 前記第1及び前記第2導電型のトランジスタが形成されたウエル電極に接続される前記接続孔は、前記基本セルに対して配線及び接続された前記第1金属配線層により形成された、前記第1の電源用配線と前記第2の電源用配線の間配置されると共に、前記第1及び前記第2導電型のトランジスタのチャネル幅方向に隣接された配線グリッド上に、前記第1導電型のトランジスタのウエル電極とを前記第1の電源用配線と接続するための接続孔が配置され、前記第1及び前記第2導電型のトランジスタのチャネル幅方向に隣接された配線グリッド上に、前記第2導電型のトランジスタのウエル電極を前記第2の電源用配線と接続するための接続孔が配置される。

したがって、前記接続孔を設けることにより、前記第2金属配線層に供給された、前記第3の電源と第4の電源を、前記接続孔または前記接続孔および前記第

1 金属配線層を介して、前記第 1 導電型のトランジスタのウエル並びに前記第 2 導電型のウエルに供給することができるとともに、前記第 1 電源配線に対する前記第 1 導電型のトランジスタ、前記第 2 電源配線に対する前記第 2 導電型のトランジスタの各ソース電位を安定化させることができる。

さらに、本発明の半導体集積回路装置は、以下に例示するようにウエル電位を制御することが望ましい。

(23) 前記半導体集積回路装置が第 1 導電型の基板上に形成された場合は、前記第 1 の電源と第 2 の電源が、前記第 1 及び前記第 2 導電型のトランジスタのチャネル長方向に延長された第 1 金属配線層にて供給され、且つ前記第 3 の電源を供給する電源配線のみが前記第 1 及び前記第 2 導電型のトランジスタのチャネル幅方向に延長された前記第 2 金属配線層により形成され、もしくは、前記半導体集積回路装置が第 2 導電型の基板上に形成された場合は、前記第 1 の電源と第 2 の電源が、前記第 1 及び前記第 2 導電型のトランジスタのチャネル長方向に延長された第 1 金属配線層にて供給され、且つ前記第 4 の電源を供給する電源配線のみが前記第 1 及び前記第 2 導電型のトランジスタのチャネル幅方向に延長された前記第 2 金属配線層により形成され、前記第 2 導電型のトランジスタが形成された第 1 導電型のウエルまたは前記第 1 導電型のトランジスタが形成された第 2 導電型のウエルが半導体集積回路装置の基板と分離される。

(24) 第 1 導電型のトランジスタと第 2 導電型のトランジスタにより構成される基本セルを具備し、配線変更により所定の機能回路を構成するマトリクス状に配置された複数の前記基本セル群と、前記基本セル群の周辺に配置されて外部装置と入出力信号をインターフェースする入出力セル群を含む周辺回路とを有する半導体集積回路装置において、前記複数の基本セル群に供給される電源は、第 2 の電源と前記第 2 の電源よりも低電位の第 1 の電源を、前記第 1 及び前記第 2 導電型のトランジスタのチャネル長方向に延長された第 1 金属配線層にて供給し、且つ前記第 2 の電源と同電位もしくは前記第 2 の電源よりも高電位の第 4 電源と、前記第 1 電源と同電位もしくは前記第 1 電源よりも低電位の第 3 電源と、前記第 1 の電源を補助する第 1 補助電源と、前記第 2 の電源を補助する第 2 補助電源とが、前記第 1 及び前記第 2 導電型のトランジスタのチャネル幅方向に延長される

とともに前記第 1 金属配線層よりも上層の第 2 金属配線層にて供給され、更に前記第 3 の電源を補助する第 3 補助電源と、前記第 4 電源を補助する第 4 補助電源とが前記第 1 及び前記第 2 導電型のトランジスタのチャネル長方向に延長され、かつ前記第 2 金属配線層よりも上層の第 3 の金属配線層にて供給される。

(25) 前記第 1 及び前記第 2 導電型のトランジスタのチャネル幅方向に延長されて形成された前記第 2 金属配線層にて供給される前記第 1 補助電源及び前記第 2 補助電源は、接続孔を介して、前記第 1 の電源及び前記第 2 の電源が供給される前記第 1 金属配線層と接続されろと共に、前記第 1 及び前記第 2 導電型のトランジスタのチャネル長方向に延長された前記第 3 金属配線層にて供給される前記第 3 補助電源及び前記第 4 補助電源は、接続孔を介して、前記第 3 の電源及び第 4 の電源が供給される前記第 2 金属配線層と接続される。

したがって、前記第 1 金属配線層にて前記第 1 導電型及び第 2 導電型のトランジスタのソース電極／ドレイン電極に印加する、前記第 1 及び第 2 の電圧を供給し、前記基板が第 1 導電型の場合は前記第 1 導電型のウエルと前記第 1 導電型の基板とを電氣的に分離して、前記第 1 導電型のウエルに前記第 2 金属配線層を介して、前記第 3 の電源を供給し、前記基板が第 2 導電型の場合は前記第 2 導電型のウエルと前記第 2 導電型の基板とを電氣的に分離して、前記第 2 導電型のウエルに前記第 2 金属配線層を介して、前記第 4 の電源を供給することで、それぞれの場合にそれぞれの導電型のトランジスタのバックバイアス電極としてのウエルの電位を制御することができる。更に、前記第 1 補助電源、前記第 2 補助電源、前記第 3 補助電源、前記第 4 補助電源を使用して、前記第 1 導電型のトランジスタと前記第 2 導電型のトランジスタのそれぞれの電極における、前記第 1 の電源、前記第 2 の電源、前記第 3 の電源および第 4 の電源の供給を行なうことができ、前記第 1 補助電源、前記第 2 補助電源、前記第 3 補助電源、前記第 4 補助電源を、前記基本セル群と、接続孔を介して電氣的に接続することかできる。

さらに、本発明の半導体集積回路装置は、以下に例示されるようにレイアウトされることが望ましい。

(26) 前記第 3 の電源、前記第 4 の電源、前記第 1 補助電源、前記第 2 補助電源は、前記第 1 及び前記第 2 導電型のトランジスタのチャネル幅方向に延長され

た前記第2金属配線層にて形成される電源配線および補助電源配線により前記基本セル群に供給され、前記電源配線は前記第1及び前記第2導電型のトランジスタのチャンネル幅方向の配線グリッド且つウエル電極上に配置配線される。

したがって、前記第1の電源、前記第2の電源、前記第3の電源および前記第4の電源を、配置配線のライブラリを変更せずに、前記基本セル群における前記第1及び第2導電型のトランジスタにおけるウエルに供給する配線をレイアウトすることができ、半導体集積回路装置中心部での電圧降下を防止することができる。

さらに、本発明の半導体集積回路装置は、以下に例示するようなデバイス構造をもつように構成されることが望ましい。

(27) 前記半導体集積回路装置が第1導電型の基板上に形成され、前記第1の電源と第2の電源が、前記第1及び前記第2導電型のトランジスタのチャンネル長方向に延長された第1金属配線層にて供給され、且つ前記第4の電源、前記第1補助電源、前記第2補助電源のみが前記第1及び前記第2導電型のトランジスタのチャンネル幅方向に延長された前記第2金属配線層にて供給され、更に前記第4補助電源のみが、前記第1及び前記第2導電型のトランジスタのチャンネル長方向に延長された第3金属配線層にて供給され、もしくは、前記半導体集積回路装置が第2導電型の基板上に形成され、前記第1の電源と第2の電源が、前記第1及び前記第2導電型のトランジスタのチャンネル長方向に延長された第1金属配線層にて供給され、且つ前記第3の電源、前記第1補助電源、前記第2補助電源のみが、前記第1及び前記第2導電型のトランジスタのチャンネル幅方向に延長された前記第2金属配線層にて供給され、更に前記第3補助電源のみが前記第1及び前記第2導電型のトランジスタのチャンネル長方向に延長された前記第3金属配線層にて供給され、前記第2導電型のトランジスタが形成された第1導電型のウエルまたは前記第1導電型のトランジスタが形成された第2導電型のウエルが半導体集積回路装置の基板と電気的に分離される。

したがって、前記第1金属配線層にて前記第1導電型及び第2導電型のトランジスタのソース電極／ドレイン電極に印加する、前記第1及び第2の電圧を供給し、前記基板が第1導電型の場合は前記第1導電型のウエルと前記第1導電型の

基板とを電氣的に分離して、前記第 1 導電型のウエルに前記第 2 金属配線層を介して、前記第 3 の電源を供給し、前記基板が第 2 導電型の場合は前記第 2 導電型のウエルと前記第 2 導電型の基板とを電氣的に分離して、前記第 2 導電型のウエルに前記第 2 金属配線層を介して、前記第 4 の電源を供給することで、それぞれの場合にそれぞれの導電型のトランジスタのバックバイアス電極としてのウエルの電位を制御することができ、かつ電圧降下を防止することができる。

さらに、本発明の半導体集積回路装置は、次の機能を有することが望ましい。

(28) 前記第 1 及び前記第 2 導電型のトランジスタのチャネル幅方向に延長された前記第 2 金属配線層にて供給される前記第 3 の電源と前記第 4 の電源、もしくは前記第 2 金属配線層で供給される前記第 3 の電源及び前記第 4 の電源、且つ前記第 1 及び前記第 2 導電型のトランジスタのチャネル長方向に延長された第 3 金属配線層にて供給される前記第 3 補助電源と、前記第 4 補助電源は、外部装置より入力されるチップ・イネーブル信号、又は外部装置あるいは半導体集積回路装置内部にて形成されるスリープ・モード制御信号により機能モジュールの電位が制御される。

(29) 前記第 1 及び前記第 2 導電型のトランジスタのチャネル幅方向に延長された前記第 2 金属配線層にて供給される前記第 3 の電源と前記第 4 の電源、もしくは前記第 1 及び前記第 2 導電型のトランジスタのチャネル長方向に延長された前記第 3 金属配線層にて供給される前記第 3 補助電源と、前記第 4 補助電源は、前記半導体集積回路装置内の各機能モジュールごとに各電源配線もしくは各補助電源配線が分離され、且つ外部装置より入力されるチップ・イネーブル信号、又は外部装置あるいは半導体集積回路装置内部で形成されるスリープ・モード制御信号がセレクター回路に入力される。

したがって、全機能モジュールの電位制御または前記各機能モジュールごとの独自の電位制御を選択することができ、前記チップ・イネーブル信号と前記スリープ・モード制御信号により、動作状態／待機状態で、前記基本セル群への前記第 3 の電源及び第 4 の電源の供給が制御できる。

[図面の簡単な説明]

図 1 は、本発明の第 1 実施例の N チャネル MOS トランジスタの基板バイアス

制御回路を示す回路図である。

図 2 は、本発明の第 1 実施例の N チャンネル MOS トランジスタの基板バイアス制御回路における各部の信号波形を示すタイミングチャートである。

図 3 は、本発明の第 2 実施例の P チャンネル MOS トランジスタの基板バイアス制御回路を示す回路図である。

図 4 は、本発明の第 2 実施例の P チャンネル MOS トランジスタの基板バイアス制御回路における各部の信号波形を示すタイミングチャートである。

図 5 は、本発明の第 3 実施例の N チャンネル MOS トランジスタの基板バイアス制御回路を示す回路図である。

図 6 は、本発明の第 3 実施例の N チャンネル MOS トランジスタの基板バイアス制御回路における各部の信号波形を示すタイミングチャートである。

図 7 は、本発明の第 4 実施例の P チャンネル MOS トランジスタの基板バイアス制御回路を示す回路図である。

図 8 は、本発明の第 4 実施例の P チャンネル MOS トランジスタの基板バイアス制御回路における各部の信号波形を示すタイミングチャートである。

図 9 は、本発明の第 5 実施例の N チャンネル MOS トランジスタの基板バイアス制御回路を示す回路図である。

図 10 は、本発明の第 5 実施例の N チャンネル MOS トランジスタの基板バイアス制御回路における各部の信号波形を示すタイミングチャートである。

図 11 は、本発明の第 6 実施例の P チャンネル MOS トランジスタの基板バイアス制御回路における各部の信号波形を示すタイミングチャートである。

図 12 は、本発明の第 6 実施例の P チャンネル MOS トランジスタの基板バイアス制御回路における各部の信号波形を示すタイミングチャートである。

図 13 は、本発明の第 7 実施例の N チャンネル MOS トランジスタの基板バイアス制御回路を示す回路図である。

図 14 は、本発明の第 7 実施例の N チャンネル MOS トランジスタの基板バイアス制御回路における各部の信号波形を示すタイミングチャートである。

図 15 は、本発明の第 8 実施例の P チャンネル MOS トランジスタの基板バイアス制御回路における各部の信号波形を示すタイミングチャートである。

図16は、本発明の第8実施例のPチャネルMOSトランジスタの基板バイアス制御回路における各部の信号波形を示すタイミングチャートである。

図17は、本発明の半導体集積回路装置のチップレイアウトの概略を示す図である。

図18は、本発明の第9実施例のインバータ回路の配線レイアウトを示す図である。

図19は、本発明の第1実施例及び第9実施例のインバータ回路の回路を示す図である。

図20は、本発明の第10実施例のNAND回路の配線レイアウトを示す図である。

図21は、本発明の第10実施例のNAND回路の回路を示す図である。

図22は、本発明の第11実施例のNOR回路の配線レイアウトを示す図である。

図23は、本発明の第11実施例のNOR回路の回路を示す図である。

図24は、本発明の第12実施例のRAM回路の配線レイアウトを示す図である。

図25は、本発明の第12実施例のRAM回路の概略を示す図である。

図26は、本発明の第13実施例の半導体集積回路装置における基板バイアス制御回路による全機能モジュールの制御方法を説明するための図である。

図27は、本発明の第13実施例の半導体集積回路装置における基板バイアス制御回路によって全機能モジュールを制御するときの、機能モジュールを構成するMOSトランジスタの断面図である。

図28は、本発明の第14実施例の半導体集積回路装置における基板バイアス制御回路による一部の機能モジュールの制御方法を説明するための図と、機能モジュールを構成するMOSトランジスタの断面図である。

図29は、本発明の第15実施例の半導体集積回路装置における電源配線及び接地配線のレイアウトを示す図である。

図30は、本発明の第16実施例、及び第15実施例の半導体集積回路装置のチップレイアウトの概略を示す図である。

図31は、従来の半導体集積回路装置のチップレイアウトの概略を示す図である。

図32は、本発明を解説するためのMOSトランジスタにおけるゲート電圧に対するドレイン・ソース間電流のサブスレッショルド領域特性を示すものであり、(a)はNチャネルMOSトランジスタの特性を示す特性図であり、(b)はPチャネルMOSトランジスタの特性を示す特性図である。

図33は、従来の半導体集積回路装置におけるインバータ回路の配線レイアウトを示す図である。

図34は、従来の半導体集積回路装置におけるインバータ回路の回路を示す図である。

図35は、従来の基板バイアス制御回路を示す回路図である。

図36は、従来の基板バイアス制御回路におけるNチャネルMOSトランジスタの基板バイアス制御部の各部信号波形を示すタイミングチャートである。

図37は、従来の基板バイアス制御回路におけるPチャネルMOSトランジスタの基板バイアス制御部の各部信号波形を示すタイミングチャートである。

[発明を実施するための最良の形態]

本発明に係る基板バイアス制御回路および基板バイアス制御回路を具備する半導体集積回路装置の各実施例を各添付図面に基づいて説明する。

図17には、本発明に係る半導体集積回路装置の一実施例を示すチップレイアウトの概略図が示される。図17に示される半導体集積回路は、たとえば、マスタスライス型の半導体集積回路装置であるものとして説明する。本発明の半導体集積回路装置は、単一のシリコン基板上に形成された機能モジュールMO、周辺回路IO等を含む。図中の機能モジュールMOには、前述したような基本単位により構成される基本セル列が形成されており、特に図示しないが、第2金属配線層にて基本セル間の配線接続が行なわれるものである。そして、周辺回路IOには入出力制御回路等が含まれ、機能ブロックへのバックバイアス制御を行なう基板バイアス制御回路BB等もチップ上に搭載されている。前記基板バイアス制御回路BBは、機能モジュール形成領域MOには配置せず、周辺回路形成領域IOの、たとえば、チップの角部に配置される。すなわち、前記基板バイアス制御回

路BBが、チップの角部に配置されることにより、ゲートアレイ等の半導体集積回路装置において、チップの空き領域を使用して、チップレイアウトを効率的に構成することができる。

＜第1実施例＞

次に、本実施例の基板バイアス制御回路について説明する。図1には、本発明の第1実施例に係わるNMOS用の基板バイアス制御回路が示され、図2には各部の信号波形を示すタイミングチャート図が示される。以下、図1と図2を用いて本発明のNMOS用の基板バイアス制御回路について説明する。

図1に示される基板バイアス制御回路は、第1の信号電圧レベル変換回路（ブロックA1）と第1のバッファ論理回路（ブロックA2）とによって構成されており、半導体集積回路装置外部より電源電圧向けに、例えば、電源電圧 $V_{dd1} = +2V$ 、接地電圧 $V_{ss1} = \pm 0V$ と、新たにNMOSのPウェル向けに例えば接地電圧 $V_{ss2} = -2V$ が供給されている。そして、動作モード及び待機モードの切り替えは、例えば電源電圧 $V_{dd1} = +2V$ と接地電圧 $V_{ss1} = \pm 0V$ で論理振幅が規定されるチップ・イネーブル信号CE，スリープ・モード制御信号SM，パワー・ダウン信号PDのうちのいずれかによって行われる。パワー・ダウン信号PD，スリープ・モード制御信号SMは、機能モジュールをアクティブにするかしないかを命令する信号であり、本発明の基板バイアス制御回路を適用した製品ごとに予め設けられた信号を使用して、前記チップ・イネーブル信号CE，パワー・ダウン信号PD，スリープ・モード制御信号SM，あるいは前記機能を有する信号のいずれも使用することができる。

次に、図1に示される基板バイアス制御回路の動作について、図2のタイミングチャートを用いて説明する。チップ・イネーブル信号CEがハイレベルに設定されることにより、半導体集積回路装置内の機能モジュールは動作モードに設定され、その反転信号であるCE（バー）はローレベルに設定される。このため、第1の信号電圧レベル変換回路（ブロックA1）のPMOSQ18がオン状態とされ、ラインV2の電位が $+2V$ に変化することからPMOSQ22もオン状態とされ、ラインV4の電位も $+2V$ に変化する。

NMOSQ 25 と、前述したオン状態のPMOSQ 18, Q 22 を介して、ラインV 6 の電位が上昇し、前記ラインV 6 の電位が $\pm 0\text{ V} - V_{th}$ (V_{th} : NMOSQ 25 の閾値電圧) に達すると、NMOSQ 25 がオフ状態とされる。

そして、前記ラインV 6 の電位が $\pm 0\text{ V} - V_{th}$ (V_{th} : NMOSQ 25 の閾値電圧) に達すると、NMOSQ 19 はオン状態とされ、ラインV 5 の電位が -2 V に変化する。前記ラインV 5 の電位が -2 V に変化する、NMOSQ 21 がオフ状態とされ、NMOSQ 23 がオン状態とされることから、ラインV 3 の電位は -2 V に変化する。

又、前記チップ・イネーブル信号CEはハイレベルに設定されているため、PMOSQ 16 はオフ状態とされ、ラインV 1 の電位が $\pm 0\text{ V} + V_{th}$ (V_{th} : PMOSQ 20 の閾値電圧) に変化するため、PMOSQ 20 はオフ状態とされる。

さらに、第1の信号電圧レベル変換回路(ブロックA 1)の出力端子からの電位、すなわち、ラインV 6 の電位が、第1のバッファ論理回路(ブロックA 2)を構成するPMOSQ 24 とNMOSQ 27 からなるインハータ回路の各々のゲート電極に入力される。ここで、前記第1のバッファ論理回路(ブロックA 2)は、前記第1の信号電圧レベル変換回路(ブロックA 1)と全機能モジュールにおけるPウエルとのインターフェース回路であり、チップ全体のPウエルに対して行なわれる充放電の駆動回路となる。従って、駆動電流の負荷容量が大きくなるため、初段のインバータ回路のチャネル幅を小さく形成し波形整形を行なわせるようにし、次段のインバータ回路のチャネル幅を大きく形成して充放電時間を短くなるようにすることが望ましい。

そして、PMOSQ 24 がオフ状態とされ、NMOSQ 27 がオン状態にされることから、ラインV 7 の電位が -2 V に変化する。このインバータ回路の出力信号、すなわち、ラインV 7 の電位が、PMOSQ 26 とNMOSQ 29 からなるインバータ回路の各々のゲート電極に入力されることにより、前記PMOSQ 26 がオン状態とされ、前記NMOSQ 29 がオフ状態にされる。このようにして、半導体集積回路装置内の機能モジュールに形成されたNMOSのPウエルに電圧 $V_{pw} = \pm 0\text{ V}$ の電位が印加される。

半導体集積回路装置内の機能モジュールに形成されたNMOSのPウエルにV

$p_w = \pm 0\text{ V}$ の電位が印加されると、例えば、図19(a)、図19(b)に示される機能モジュール内のインバータ回路INV1を構成するNMOSQ1において、ソース電極に接地電圧 V_{ss1} ($\pm 0\text{ V}$)、バックゲート電極に電圧 V_{pw} ($\pm 0\text{ V}$) が印加されることになる。このため、バックゲート電極とソース電極は同電位とされ、図32(a)に示される状態N1 (閾値電圧=約+0.3 V)、状態N2 (閾値電圧=約+0.5 V)、状態N3 (閾値電圧=約+0.7 V)のうちのいずれかと同様の特性を示すため、閾値電圧が低くされ、且つドレイン・ソース電流が多く流れるようにされる。これは、半導体集積回路装置内の機能モジュールを構成する他の論理回路、ラッチ回路、乗算器等の回路についても同様の特性を示すものである。

次に、チップ・イネーブル信号CEがローレベルに設定されることにより、半導体集積回路装置内の機能モジュールは待機モードに設定される。

そして、図1及び図2に示すように、第1の信号電圧レベル変換回路(ブロックA1)のPMOSQ16がオン状態とされ、ラインV1の電位が+2 Vに変化することから、PMOSQ20もオン状態とされ、ラインV3の電位も+2 Vに変化する。

ラインV5の電位については、PMOSQ23と、前述のオン状態であるPMOSQ16、Q20を介して電位が上昇し、ラインV5の電位が $\pm 0\text{ V} - V_{th}$ (V_{th} : NMOSQ23の閾値電圧)に達するとNMOSQ23はオフ状態とされる。そして、前記ラインV5の電位が $\pm 0\text{ V} - V_{th}$ (V_{th} : NMOSQ23の閾値電圧)に達することにより、NMOSQ21はオン状態となり、ラインV6の電位が-2 Vに変化する。前記ラインV6の電位が-2 Vに変化すると、NMOSQ19がオフ状態とされ、NMOSQ25がオン状態とされることから、ラインV4の電位が-2 Vに変化する。

又、前記チップ・イネーブル信号CEの反転信号CE(バー)はハイレベルに設定されているため、PMOSQ18はオフ状態とされ、ラインV2の電位は $\pm 0\text{ V} + V_{th}$ (V_{th} : PMOSQ22の閾値電圧)に変化するため、PMOSQ22はオフ状態とされる。

この第1の信号電圧レベル変換回路(ブロックA1)の出力端子の電位すなわ

ちラインV6の電位が第1のバッファ論理回路(ブロックA2)を構成するPMOSQ24とNMOSQ27からなるインバータ回路の各々のゲート電極に入力されることにより、前記PMOSQ24がオン状態、NMOSQ27がオフ状態とされることから、ラインV7の電位が±0Vに変化する。

前記ラインV7の電位がPMOSQ26とNMOSQ29からなるインバータ回路の各々のゲート電極に入力されることにより、PMOSQ26がオフ状態、NMOSQ29がオン状態とされることから、半導体集積回路装置内の機能モジュールに形成されたNMOSのPウエルに電圧 $V_{pw} = -2V$ の電位が印加される。

半導体集積回路装置内の機能モジュールに形成されたNMOSのPウエルに電圧 $V_{pw} = -2V$ の電位が印加されると、例えば図19(a)、図19(b)に示される機能モジュール内の、インバータ回路INV1を構成するNMOSQ1において、ソース電極に接地電圧 V_{ss1} (±0V)、バックゲート電極に電圧 V_{pw} (-2V)が印加される。このため、バックゲート電極の電位は、ソース電極の電位より低電位となり、図32(a)に示されるNAだけシフトした状態N3(閾値電圧=約+0.7V)、NBだけシフトした状態N4(閾値電圧=約+0.9V)、NCだけシフトした状態N5(閾値電圧=約+1.1V)のうちのいずれかの状態に変化する。よって、MOSトランジスタの閾値電圧が高くされ、且つオフ電流が非常に小さくされる。これは、半導体集積回路装置内の機能モジュールを構成する他の論理回路、ラッチ回路、乗算器等の回路についても同様の特性を示すものである。

従って、動作モード時は半導体集積回路装置内の機能モジュールを構成するNMOSのバックゲート電極とソース電極が同電位に設定されるため、NMOSは閾値電圧が低くされる。そして、前記NMOSのバックゲート電極の電位の制御により動作モードでは、さらに、ドレイン・ソース電流が多く流れるようにされ、機能モジュールを構成するMOSトランジスタのスイッチ制御を高速化できると共にドライブ能力を向上させることができる。

又、待機モード時には、半導体集積回路装置内の機能モジュールを構成するNMOSのバックゲート電極の電位は、ソース電極の電位より低電位とされるとともに、閾値電圧が高くされる。そして、前記NMOSのバックゲート電極の電位

の制御により待機モードでは、さらに、オフ電流が非常に小さくされるため、機能モジュールのスタンバイ電流を非常に小さくすることができる。

以上述べたように、第1実施例の基板バイアス制御回路は、動作モード時の高速化と待機モード時の低消費電力化の両面を実現することを可能とし、かつ、基板バイアス制御回路を構成する第1の信号電圧レベル変換回路（ブロックA1）において、電源間に定常的に流れる電流経路を無くすことができ、動作モードから待機モード及び待機モードから動作モードに切り替わった後のスタンバイ電流を非常に小さくすることができる。

さらに、第1実施例の基板バイアス制御回路は、基板バイアス制御回路から機能モジュールへの高速な充放電を可能とし、動作モードから待機モード、あるいは待機モードから動作モードへのモード変化を高速に行なうことができる。又、図1には第1のバッファ論理回路（ブロックA2）をインバータ2個にて形成した例について記載したが、これに限定されることなく、所望の数のインバータにより構成することができる。又、図1には第1のバッファ論理回路（ブロックA2）を前記第1の信号電圧レベル変換回路と機能モジュールとのインターフェース部として記載したが、この基板バイアス制御回路を適用する製品の仕様により、前述したようなモード変化におけるスピードを特に考慮する必要がなければ、前記第1のバッファ論理回路（ブロックA2）を設けなくても良い。尚、第1のバッファ論理回路（ブロックA2）は、インバータ回路、NAND回路、NOR回路等の他の論理回路により構成することもできる。

又、第1実施例の基板バイアス制御回路は、回路を構成する各MOSトランジスタに高電圧のストレスが印加されない様に設計されている。すなわち、動作電圧が3Vであって、ゲートソース間に3.3Vの電圧が印加されるように設計されており、さらに電圧のマージンが±10%とされている。よって、ゲートソース間、ゲートドレイン間、ゲートウェル間における電圧は夫々3.6V以下になるように形成されているので、基板バイアス制御回路を構成する各MOSトランジスタのゲート酸化膜を特に厚くすることなく形成できる。従って、本実施例の基板バイアス制御回路はすべてのMOSトランジスタを同じ厚さのゲート酸化膜で形成できるので、容易なプロセスにて形成することができるとともに、

MOSトランジスタのゲート酸化膜の長期信頼性を向上させることができ、半導体集積回路装置の信頼性も向上することができ、且つ、高集積化に対応したゲート酸化膜の薄膜化に対応することができる。

更に、第1実施例の基板バイアス制御回路は、第1の信号電圧レベル変換回路（ブロックA1）は、PMOSQ16, Q18, Q20, Q22を同一領域のNウエル内に形成し、このNウエルを後で述べる第2実施例の電源電圧Vdd2（例えば+4V）に給電してもよい。よって、後に述べる第2実施例の第2の信号電圧レベル変換回路（ブロックB1）を構成するPMOSQ30, Q32, Q34, Q36及び第2の論理回路（ブロックB2）を構成するPMOSQ38, Q40あるいは第4実施例の第2のインバータ回路（ブロックB3）を構成するPMOSQ42と同一のNウエル領域に形成することができるため、レイアウト面積を小さくすることが出来る。又、特に第1の信号電圧レベル変換回路（ブロックA1）のNMOSQ23, Q25を各々独立したPウエル領域に形成することによって、バックゲート電極の電位が制御でき、前記バックゲート電極とソース電極が同電位とされるため、閾値電圧が低くされ、且つドレイン・ソース電流が多く流れるようにされ、第1の信号電圧レベル変換回路（ブロックA1）が高速動作できると共に、ドライブ能力を向上することができる。

第1実施例に係るNMOS用の基板バイアス制御回路は、半導体集積回路装置外部より電源電圧Vdd1（例えば+2V）、及び接地電圧Vss1（例えば±0V）とは別に新たにNMOSのPウエル向けに接地電圧Vss2（例えば-2V）が供給されているが、代わりに半導体集積回路装置内にリング発振器に基づくチャージ・ポンプ回路を構成し、負電位を発生させることもできる。ただし、この場合は電圧供給が不安定であり、図1に示される基板バイアス制御回路と比較すると、消費電力の点で劣る。

又、この基板バイアス制御回路を用いて、半導体集積回路装置の閾値電圧のバラツキを自己補正することも出来る。前述したように、MOSトランジスタの閾値電圧は、製造上約10%の誤差が生じるが、近年の電源電圧の低電圧化という課題に対し、前記チャージ・ポンプ、リーク電流検出回路、及び本実施例の基板バイアス制御回路を用いて、動作時にバックゲート電極と接続された電源配線を

制御することにより、閾値電圧を補償することができる。

＜第2実施例＞

図3には、本発明の第2実施例に係るPMOS用の基板バイアス制御回路が示され、図4には各部の信号波形を示すタイミングチャート図が示される。

図3に示される基板バイアス制御回路は、第2の信号電圧レベル変換回路（ブロックB1）と第2のバッファ論理回路（ブロックB2）によって構成されている。そして、半導体集積回路装置外部より電源電圧 $V_{dd1} = +2V$ 、及び接地電圧 $V_{ss1} = \pm 0V$ と、新たにPMOSのNウェル向けに例えば電源電圧 $V_{dd2} = +4V$ が供給される。又、動作モード、及び待機モードの切り替えは、例えば電源電圧 $V_{dd1} = +2V$ と接地電圧 $V_{ss1} = \pm 0V$ で論理振幅が規定されるチップ・イネーブル信号CE、スリープ・モード制御信号SM、パワー・ダウン信号PDのうちのいずれかによって行われる。パワー・ダウン信号PD、スリープ・モード制御信号SMは、機能モジュールをアクティブにするかしないかを命令する信号であり、本発明の基板バイアス制御回路を適用した製品ごとに予め設けられた信号を使用して、前記チップ・イネーブル信号CE、パワー・ダウン信号PD、スリープ・モード制御信号SM、あるいは前記機能を有する信号のいずれも使用することができる。

次に、図3に示される基板バイアス制御回路の動作を、図4に示されるタイミングチャートを用いて説明する。

チップ・イネーブル信号CEがハイレベルに設定されることにより、半導体集積回路装置の機能モジュールは動作モードに設定される。そして、第2の信号電圧レベル変換回路（ブロックB1）のNMOSQ33がオン状態とされて、ラインV1の電位が $\pm 0V$ に変化することからNMOSQ37もオン状態とされ、ラインV3の電位も $\pm 0V$ に変化する。

そして、PMOSQ34と、前述したオン状態であるNMOSQ33、Q37とを介して、ラインV5の電位が低下し、前記ラインV5の電位が $+2V + V_{th}$ （ V_{th} ：PMOSQ34の閾値電圧）に達することにより、PMOSQ34がオフ状態とされる。

前記ライン V 5 の電位が $+2V + V_{th}$ (V_{th} : PMOS Q 3 4 の閾値電圧) に達することにより、PMOS Q 3 2 はオン状態とされ、ライン V 6 の電位が $+4V$ に変化する。前記ライン V 6 の電位が $+4V$ に変化するにより、PMOS Q 3 0 がオフ状態とされ、PMOS Q 3 6 がオン状態とされることからライン V 4 の電位は $+4V$ に変化する。

又、前記チップ・イネーブル信号 CE の反転信号 \overline{CE} はローレベルに設定されているため、NMOS Q 3 5 はオフ状態とされ、ライン V 2 の電位は $+2V - V_{th}$ (V_{th} : NMOS Q 3 9 の閾値電圧) に変化するため、NMOS Q 3 9 はオフ状態とされる。

そして、前記第 2 の信号電圧レベル変換回路 (ブロック B 1) の出力端子の電位、すなわちライン V 5 の電位が、第 2 のバッファ論理回路 (ブロック B 2) を構成する PMOS Q 3 8 と NMOS Q 4 1 からなるインバータ回路の各々のゲート電極に入力される。ここで、前記第 2 のバッファ論理回路 (ブロック B 2) は、前記第 2 の信号電圧レベル変換回路 (ブロック B 1) と全機能モジュールにおける N ウェルとのインターフェース回路であり、チップ全体の N ウェルに対して行なわれる充放電の駆動回路となる。従って、駆動電流の負荷容量が大きくなるため、初段のインバータ回路のチャネル幅を小さく形成し波形整形を行なわせるようにし、次段のインバータ回路のチャネル幅を大きく形成して充放電時間を短くなるようにすることが望ましい。

そして、PMOS Q 3 8 がオン状態、NMOS Q 4 1 がオフ状態にされることから、ライン V 7 の電位が $+4V$ に変化する。出力信号の電位、すなわちライン V 7 の電位が、PMOS Q 4 0 と NMOS Q 4 3 からなるインバータ回路の各々のゲート電極に入力されることにより、PMOS Q 4 0 がオフ状態、NMOS Q 4 3 がオン状態にされる。よって、半導体集積回路装置内の機能モジュールに形成された PMOS の N ウェルに電圧 $V_{nw} = +2V$ の電位が印加される。

半導体集積回路装置内の機能モジュールに形成された PMOS の N ウェルに電圧 $V_{nw} = +2V$ の電位が印加されると、例えば、図 19 (a), 図 19 (b) に示される、機能モジュール内のインバータ回路 INV 1 を構成する PMOS Q 2 において、ソース電極に電源電圧 V_{dd1} ($+2V$)、バックゲート電極に電圧 V

$n_w (+2\text{ V})$ が印加される。このため、バックゲート電極とソース電極は同電位とされ、図 3 2 (b) に示される状態 P 1 (閾値電圧 = 約 -0.3 V)、状態 P 2 (閾値電圧 = 約 -0.5 V)、状態 P 3 (閾値電圧 = 約 -0.7 V) のうちのいずれかの状態と同様の特性を示すため、閾値電圧が絶対値で低く、且つドレイン・ソース電流が絶対値で多く流れる。これは、半導体集積回路装置内の機能モジュールを構成する他の論理回路、ラッチ回路、乗算器等の回路についても同様の特性を示すものである。

次に、図 3 及び図 4 に示すように、前記チップ・イネーブル信号 CE がローレベルに設定されることにより、半導体集積回路装置内の機能モジュールは待機モードに設定され、前記チップ・イネーブル信号 CE の反転信号 \overline{CE} (バー) がハイレベルに設定される。よって、第 2 の信号電圧レベル変換回路 (ブロック B 1) の NMOS Q 3 5 がオン状態とされ、ライン V 2 の電位が $\pm 0\text{ V}$ に変化することから NMOS Q 3 9 もオン状態とされ、ライン V 4 の電位も $\pm 0\text{ V}$ に変化する。

ライン V 6 の電位は PMOS Q 3 6 と、前述したオン状態の NMOS Q 3 5、Q 3 9 とを介して電位が低下し、ライン V 6 の電位が $+2\text{ V} + V_{th}$ (V_{th} : PMOS Q 3 6 の閾値電圧) に達することにより、PMOS Q 3 6 はオフ状態とされる。

前記ライン V 6 の電位が $+2\text{ V} + V_{th}$ (V_{th} : PMOS Q 3 6 の閾値電圧) に達することにより、PMOS Q 3 0 はオン状態とされ、ライン V 5 の電位が $+4\text{ V}$ に変化する。前記ライン V 5 の電位が $+4\text{ V}$ に変化することにより、PMOS Q 3 2 がオフ状態、PMOS Q 3 4 がオン状態とされることから、ライン V 3 の電位は $+4\text{ V}$ に変化する。

又、前記チップ・イネーブル信号 CE はローレベルに設定されているため、NMOS Q 3 3 はオフ状態とされ、ライン V 1 の電位は $+2\text{ V} - V_{th}$ (V_{th} : NMOS Q 3 7 の閾値電圧) に変化するため、NMOS Q 3 7 はオフ状態とされる。

この第 2 の信号電圧レベル変換回路 (ブロック B 1) の出力端子の電位、すなわちライン V 5 の電位が、第 2 のバッファ論理回路 (ブロック B 2) を構成する PMOS Q 3 8 と NMOS Q 4 1 からなるインバータ回路の各々のゲート電極に入力されることにより、PMOS Q 3 8 がオフ状態、NMOS Q 4 1 がオン状態

とされることからラインV7の電位が+2Vに変化する。

出力信号電位すなわちラインV7の電位が、PMOSQ40とNMOSQ43からなるインバータ回路の各々のゲート電極に入力されることにより、PMOSQ40がオン状態、NMOSQ43がオフ状態とされる。したがって、半導体集積回路装置内の機能モジュールに形成されたPMOSのNウェルに電圧 $V_{nw}=+4V$ の電位が印加される。

半導体集積回路装置内の機能モジュールに形成されたPMOSのNウェルに電圧 $V_{nw}=+4V$ の電位が印加されると、例えば、図19(a)、図19(b)に示される、機能モジュール内のインバータ回路INV1を構成するPMOSQ2において、ソース電極に電源電圧 $V_{dd1} (+2V)$ 、バックゲート電極に電圧 $V_{nw} (+4V)$ が印加される。このため、前記バックゲート電極の電位は、ソース電極の電位より高電位となり、図32(b)に示されるPAだけシフトした状態P3(閾値電圧=約-0.7V)、PBだけシフトした状態P4(閾値電圧=約-0.9V)、PCだけシフトした状態P5(閾値電圧=約-1.1V)のいずれかの状態に変化するため、閾値電圧が絶対値で高くされ、且つオフ電流が絶対値で非常に小さくされる。これは、半導体集積回路装置内の機能モジュールを構成する他の論理回路、ラッチ回路、乗算器等の回路についても同様の特性を示すものである。

従って、動作モード時は半導体集積回路装置内の機能モジュールを構成するPMOSのバックゲート電極とソース電極が同電位に設定されるため、PMOSは閾値電圧が絶対値で低くされ、且つドレイン・ソース電流が絶対値で多く流れるようにされる。さらに、前記PMOSのバックゲート電極の電位の制御により、動作モード時の機能モジュールを構成するMOSトランジスタのスイッチング制御を高速化できると共に、ドライブ能力が向上できる。

又、待機モード時には、半導体集積回路装置内の機能モジュールを構成するPMOSのバックゲート電極の電位は、ソース電極の電位よりも高電位とされ、閾値電圧が絶対値で高くされ、且つオフ電流が絶対値で非常に小さくされる。前記PMOSのバックゲート電極の電位の制御により、待機モード時の機能モジュールのスタンバイ電流が非常に小さくできる。

以上述べたように、第2実施例の基板バイアス制御回路は、動作モード時の高速化と待機モード時の低消費電力化の両面を実現することが出来ると共に、基板バイアス制御回路を構成する第2の信号電圧レベル変換回路（ブロックB1）において、電源間に定常的に流れる電流経路が存在しないため、動作モードから待機モードに切り替わった後及び待機モードから動作モードに切り替わった後のスタンバイ電流を非常に小さくできる。

さらに、第2実施例の基板バイアス制御回路は、基板バイアス制御回路から機能モジュールへの高速な充放電を可能とし、動作モードから待機モード、あるいは待機モードから動作モードへのモード変化を高速に行なうことができる。又、図3には第2のバッファ論理回路（ブロックB2）をインバータ2個にて形成した例について記載したが、これに限定されることなく、所望の数のインバータにより構成することができる。又、図3には第2のバッファ論理回路（ブロックB2）を前記第2の信号電圧レベル変換回路と機能モジュールとのインターフェース部として記載したが、この基板バイアス制御回路を適用する製品の仕様により、前述したようなモード変化におけるスピードを特に考慮する必要がなければ、前記第2のバッファ論理回路（ブロックB2）を設けなくても良い。尚、第2のバッファ論理回路（ブロックB2）は、インバータ回路、NAND回路、NOR回路等の他の論理回路により構成することもできる。

又、第2実施例の基板バイアス制御回路は、回路を構成する各MOSトランジスタに高電圧のストレスが印加されない様に設計されている。すなわち、動作電圧が3Vであって、ゲートソース間に3.3Vの電圧が印加されるように設計されており、さらに電圧のマージンが±10%とされている。よって、ゲートソース間、ゲートドレイン間、ゲートウェル間における電圧は夫々3.6V以下になるように形成されているので、基板バイアス制御回路を構成する各MOSトランジスタのゲート酸化膜を特に厚くすることなく形成できる。従って、本実施例の基板バイアス制御回路によれば、チップ上において機能モジュールを構成するMOSトランジスタと周辺回路を構成するMOSトランジスタとを同じ厚さのゲート酸化膜にて形成することができるので、容易なプロセスにて形成することができるとともに、MOSトランジスタのゲート酸化膜の長期信頼性を向上

させることができ、半導体集積回路装置の信頼性も向上することができ、且つ、高集積化に対応したゲート酸化膜の薄膜化に対応できる。

更に、第2の信号電圧レベル変換回路は、NMOS Q33, Q35, Q37, Q39を同一領域のPウェル内に形成し、このNウェルを前述の第1実施例の接地電圧 V_{ss2} （例えば $-2V$ ）に接続することによって、第1実施例の第1の信号電圧レベル変換回路（ブロックA1）を構成するNMOS Q19, Q21, Q23, Q25及び第1のバッファ論理回路（ブロックA2）を構成するNMOS Q27, Q29あるいは後で述べる第3実施例の第1のインバータ回路（ブロックA3）を構成するPMOS Q31と同一のPウェル領域に形成することが出来るため、レイアウト面積を小さくすることが出来る。又、特に第2の信号電圧レベル変換回路（ブロックB1）におけるPMOS Q34, Q36を各々独立したNウェル領域に形成することによって、バックゲート電極とソース電極を同電位とすることができるため、閾値電圧を絶対値で低くでき、且つドレイン・ソース電流が絶対値で多く流れるようになり、第2の信号電圧レベル変換回路（ブロックB1）が高速に動作できると共に、ドライブ能力を向上することができる。

第2実施例に係るPMOS用の基板バイアス制御回路は、半導体集積回路装置外部より電源電圧 V_{dd1} （例えば $+2V$ ）及び接地電圧 V_{ss1} （例えば $\pm 0V$ ）とは別に、新たにPMOSのNウェル向けに電源電圧 V_{dd2} （例えば $+4V$ ）が供給されていたが、代わりに半導体集積回路装置内にリンク発振器に基づくチャージ・ポンプ回路を構成し、正電位を発生させても良い。ただし、この場合は電圧供給が不安定であり、図3に示される基板バイアス制御回路と比較すると、消費電力の点で劣る。

又、この基板バイアス制御回路を用いて、半導体集積回路装置の閾値電圧のバラツキを自己補正することも出来る。前述したように、MOSトランジスタの閾値電圧は、製造上約10%の誤差が生じるが、近年の電源電圧の低電圧化という課題に対し、前記チャージ・ポンプ、リーク電流検出回路、及び本実施例の基板バイアス制御回路を用いて、動作時にバックゲート電極と接続された電源配線を制御することにより、閾値電圧を補償することができる。

＜第3実施例＞

図5には、本発明の第3実施例に係るNMOS用の基板バイアス制御回路が示される。本実施例の基板バイアス制御回路は、図1に示される第1の信号電圧レベル変換回路（ブロックA1）と第1のバッファ論理回路（ブロックA2）の間に、第1のバッファ論理回路（ブロックA2）を構成するPMOSよりも長いチャネル長、小さいチャネル幅、高い閾値電圧のうちのいずれかの方法により形成されたPMOSを用いて構成された波形整形用の第1のインバータ回路（ブロックA3）が追加された構成となっている。尚、第3実施例の基板バイアス制御回路における回路動作が、図6の各部信号波形のタイミングチャート図に示されるが、回路動作が第1実施例の基板バイアス制御回路と同一部分については同一参照符号を付し、第1実施例にて説明した内容とそれに対応する作用効果については説明の繰り返しは省略する。尚、第1のインバータ回路（ブロックA3）を追加することにより、第1の信号電圧レベル変換回路（ブロックA1）の出力端子は、ラインV6の電位の反転信号であるラインV5に接続変更される。

第3実施例の基板バイアス制御回路は、第1実施例に記載したNMOS用の基板バイアス制御回路のさらなる低消費電力化を図ったものである。つまり、図1に示される基板バイアス制御回路における、第1の信号電圧レベル変換回路（ブロックA1）の出力端子の電位であるラインV5の高電位が $\pm 0V - V_{th}$ （ V_{th} ：NMOSQ23の閾値電圧）であるため、バッファ論理回路（ブロックA2）を構成するPMOSQ24が完全なオフ状態とはならない。ここで、前記第1のバッファ論理回路（ブロックA2）は、前記第1の信号電圧レベル変換回路（ブロックA1）と全機能モジュールにおけるPウエルとのインターフェース回路であり、チップ全体のPウエルに対して行なわれる充放電の駆動回路となる。従って、駆動電流の負荷容量が大きくなるため、初段のインバータ回路のチャネル幅を小さく形成し波形整形を行なわせるようにし、次段のインバータ回路のチャネル幅を大きく形成して充放電時間を短くなるようにする。

しかし、本実施例の基板バイアス制御回路においては、接地配線層Vss1から接地配線層Vss2に流れるリーク電流を最小限に抑えるための波形整形用の第1

のインバータ回路（ブロック A 3）が追加された構成となっている。すなわち、第 1 の信号電圧レベル変換回路（ブロック A 1）からの出力信号の電位、すなわち、ライン V 5 の電位も N M O S の閾値分下がってしまうので、電圧を 2 V の範囲でフル振幅させるための波形整形用の第 1 のインバータ回路（ブロック A 3）を、第 1 の電圧レベル変換回路（ブロック A 1）と第 1 のバッファ論理回路（ブロック A 2）間に構成したものである。第 1 のインバータ回路（ブロック A 3）を構成する P M O S は、第 1 のバッファ論理回路（ブロック A 2）を構成する P M O S より長いチャネル長、小さいチャネル幅、高い閾値電圧のうちのいずれかの方法により形成された P M O S を用いているためリーク電流は非常に小さくなる。

又、P M O S のチャネル長、及びチャネル幅の変更は、マスク設計により容易に変更出来ると共に、高い閾値電圧の P M O S は、半導体プロセスにおけるチャネル・ドーズ量等を変える必要はない。すなわち、第 1 のバッファ論理回路（ブロック A 2）を構成する P M O S Q 2 6 のバックゲート電極を、P M O S Q 2 6 のソース電位より高い、電源電圧 V d d 1（+ 2 V）もしくは図 3 に示される電源電圧 V d d 2（+ 4 V）に接続することによって、容易に閾値電圧を高くすることができる。

さらに、第 3 実施例の基板バイアス制御回路は、基板バイアス制御回路から機能モジュールへの高速な充放電を可能とし、動作モードから待機モード、あるいは待機モードから動作モードへのモード変化を高速に行なうことができる。又、図 5 には第 1 のバッファ論理回路（ブロック A 2）をインバータ 2 個にて形成した例について記載したが、これに限定されることなく、所望の数のインバータにより構成することができる。又、図 5 には第 1 のバッファ論理回路（ブロック A 2）を前記第 1 の信号電圧レベル変換回路と機能モジュールとのインターフェース部として記載したが、この基板バイアス制御回路を適用する製品の仕様により、前述したようなモード変化におけるスピードを特に考慮する必要がなければ、前記第 1 のバッファ論理回路（ブロック A 2）を設けなくても良い。尚、第 1 のバッファ論理回路（ブロック A 2）は、インバータ回路、N A N D 回路、N O R 回路等の他の論理回路により構成することもできる。

又、第3実施例の基板バイアス制御回路は、回路を構成する各MOSトランジスタに高電圧のストレスが印加されない様に設計されている。すなわち、動作電圧が3Vであって、ゲート・ソース間に3.3Vの電圧が印加されるように設計されており、さらに電圧のマージンが±10%とされている。よって、ゲート・ソース間、ゲート・ドレイン間、ゲート・ウェル間における電圧は夫々3.6V以下になるように形成されているので、基板バイアス制御回路を構成する各MOSトランジスタのゲート酸化膜を特に厚くすることなく形成できる。従って、本実施例の基板バイアス制御回路によれば、チップ上において、機能モジュールを構成するMOSトランジスタと周辺回路を構成するMOSトランジスタを同じ厚さのゲート酸化膜にて形成することができるので、容易なプロセスにて形成することができると共に、MOSトランジスタのゲート酸化膜の長期信頼性を向上させることができ、半導体集積回路装置の信頼性も向上することができ、かつ高集積化に対応したゲート酸化膜の薄膜化に対応することができる。

第3実施例に係るNMOS用の基板バイアス制御回路は、半導体集積回路装置外部より電源電圧 V_{dd1} （例えば+2V）、及び接地電圧 V_{ss1} （例えば±0V）とは別に新たにNMOSのPウェル向けに接地電圧 V_{ss2} （例えば-2V）が供給されているが、代わりに半導体集積回路装置内にリング発振器に基づくチャージ・ポンプ回路を構成し、負電位を発生させることもできる。ただし、この場合は電圧供給が不安定であり、図5に示される基板バイアス制御回路と比較すると、消費電力の点で劣る。

又、この基板バイアス制御回路を用いて、半導体集積回路装置の閾値電圧のバラツキを自己補正することも出来る。前述したように、MOSトランジスタの閾値電圧は、製造上約10%の誤差が生じるが、近年の電源電圧の低電圧化という課題に対し、前記チャージ・ポンプ、リーク電流検出回路、及び本実施例の基板バイアス制御回路を用いて、動作時にバックゲート電極と接続された電源配線を制御することにより、閾値電圧を補償することができる。

< 第4実施例 >

図7には、本発明の第4実施例に係わるPMOS用の基板バイアス制御回路が

示される。本実施例の基板バイアス制御回路は、図3に示される第2の信号電圧レベル変換回路（ブロックB1）と第2のバッファ論理回路（ブロックB2）の間に、第2のバッファ論理回路（ブロックB2）を構成するNMOSより長いチャンネル長、小さいチャンネル幅、高い閾値電圧のうちのいずれかの方法により形成されたNMOSを用いて構成された波形整形用の第2のインバータ回路（ブロックB3）が追加された構成となっている。

尚、第4実施例の基板バイアス制御回路における回路動作が、図8の各部信号波形のタイミングチャート図に示されるが、回路動作が第2実施例の基板バイアス制御回路と同一部分については同一参照符号を付し、第2実施例において説明した内容およびそれと対応する作用効果については説明の繰返しを省略する。尚、第2のインバータ回路（ブロックB3）を追加することにより、第2の信号電圧レベル変換回路（ブロックB1）の出力端子は、第2実施例におけるラインV5の電位の反転信号であるラインV6の電位に接続変更される。

第4実施例の基板バイアス制御回路は、第2実施例に記載されたPMOS用の基板バイアス制御回路のさらなる低消費電力化を図ったものである。つまり、図3の基板バイアス制御回路における、第2の信号電圧レベル変換回路（ブロックB1）の出力端子の電位であるラインV5の低電位が $+2V + V_{th}$ （ V_{th} ：PMOS Q34の閾値電圧）であるため、バッファ論理回路を構成するNMOS Q41が完全なオフ状態とはならない。ここで、前記第2のバッファ論理回路（ブロックB2）は、前記第2の信号電圧レベル変換回路（ブロックB1）と全機能モジュールにおけるNウエルのインターフェース回路であり、チップ全体のNウエルに対して行なわれる充放電の駆動回路となる。従って、負荷容量が大きくなるため、初段のインバータ回路のチャンネル幅を小さく形成し波形整形を行なわせるようにし、次段のインバータ回路のチャンネル幅を大きく形成して充放電時間を短くなるようにする。

しかし、第4実施例の基板バイアス制御回路では、電源配線Vdd2から電源配線Vdd1に流れるリーク電流を最小限に抑える波形整形用の第2のインバータ回路（ブロックB3）を追加した構成となっている。すなわち、第2の信号電圧レベル変換回路（ブロックB1）からの出力信号の電位、すなわち、ラインV6の

電位もPMOSQ36の閾値分下がってしまうので、電圧を2Vの範囲でフル振幅させるための波形整形用の第2のインバータ回路（ブロックB3）を構成するNMOSは、第2のバッファ論理回路（ブロックB2）を構成するNMOSより長いチャネル長、小さいチャネル幅、高い閾値電圧のうちのいずれかの方法により形成されたNMOSを用いている。そのため、リーク電流は非常に小さい。

又、NMOSのチャネル長、及びチャネル幅の変更は、マスク設計により容易に変更出来ると共に、高い閾値電圧のNMOSは、半導体プロセスにおけるチャネル・ドーズ量等を変える必要はない。すなわち、第2のインバータ回路（ブロックB3）を構成するNMOSQ45のバックゲート電極を、NMOSQ45のソース電位より低い、接地電圧 V_{ss1} （±0V）もしくは図1に示される接地電圧 V_{ss2} （-2V）に接続することによって、容易に閾値電圧を高くすることが出来る。

さらに、第4実施例の基板バイアス制御回路は、基板バイアス制御回路から機能モジュールへの高速な充放電を可能とし、動作モードから待機モード、あるいは待機モードから動作モードへのモード変化を高速に行なうことができる。又、図7には第2のバッファ論理回路（ブロックB2）をインバータ2個にて形成した例について記載したが、これに限定されることなく、所望の数のインバータにより構成することができる。又、図7には第2のバッファ論理回路（ブロックB2）を前記第2の信号電圧レベル変換回路と機能モジュールとのインターフェース部として記載したが、この基板バイアス制御回路を適用する製品の仕様により、前述したようなモード変化におけるスピードを特に考慮する必要がなければ、前記第2のバッファ論理回路（ブロックB2）を設けなくても良い。尚、第2のバッファ論理回路（ブロックB2）は、インバータ回路、NAND回路、NOR回路等の他の論理回路により構成することもできる。

又、第4実施例の基板バイアス制御回路は、回路を構成する各MOSトランジスタに高電圧のストレスが印加されない様に設計されている。すなわち、動作電圧が3Vであって、ゲート・ソース間に3.3Vの電圧が印加されるように設計されており、さらに電圧のマージンが±10%とされている。よって、ゲート・ソース間、ゲート・ドレイン間、ゲート・ウェル間における電圧は夫々3.6V

以下になるように形成されているので、基板バイアス制御回路を構成する各MOSトランジスタのゲート酸化膜を特に厚くすることなく形成できる。従って、本実施例の基板バイアス制御回路はすべてのMOSトランジスタを同じ厚さのゲート酸化膜にて形成することができるため、容易な製造プロセスにて形成することができると共に、MOSトランジスタのゲート酸化膜の長期信頼性を向上させることができ、半導体集積回路装置の信頼性も向上することができる。かつ、高集積化に対応したゲート酸化膜の薄膜化に対応することができる。

第4実施例に係るPMOS用の基板バイアス制御回路は、半導体集積回路装置外部より電源電圧 V_{dd1} （例えば+2V）及び接地電圧 V_{ss1} （例えば±0V）とは別に、新たにPMOSのNウェル向けに電源電圧 V_{dd2} （例えば+4V）が供給されていたが、代わりに半導体集積回路装置内にリング発振器に基づくチャージ・ポンプ回路を構成し、正電位を発生させても良い。ただし、この場合は電圧供給が不安定であり、図7に示される基板バイアス制御回路と比較すると、消費電力の点で劣る。

又、この基板バイアス制御回路を用いて、半導体集積回路装置の閾値電圧のバラツキを自己補正することも出来る。前述したように、MOSトランジスタの閾値電圧は、製造上約10%の誤差が生じるが、近年の電源電圧の低電圧化という課題に対し、前記チャージ・ポンプ、リーク電流検出回路、及び本実施例の基板バイアス制御回路を用いて、動作時にバックゲート電極と接続された電源配線を制御することにより、閾値電圧を補償することができる。

<第5実施例>

図9には本発明の第5実施例に係るNMOS用の基板バイアス制御回路が示される。本実施例の基板バイアス制御回路は、第1のバッファ論理回路（ブロックA2）を構成する各PMOSQ24、Q26のバックゲート電極が、各PMOSのソース電位である接地電圧 V_{ss1} （例えば±0V）に接続された構成となっている。尚、第5実施例の基板バイアス制御回路における回路動作について、図10の各部信号波形のタイミングチャート図に示されるが、回路動作が第1実施例の基板バイアス制御回路と同一部分については同一参照符号を付し、第1実施例

にて説明した内容とそれに対応する作用効果については説明の繰り返しは省略する。

第5実施例の基板バイアス制御回路は、第1実施例に記載されたNMOS用の基板バイアス制御回路における第1のバッファ論理回路（Pch：Q24，Q26）の駆動能力を向上させ高速化を図ったものである。つまり、図9に示される基板バイアス制御回路は、第1のバッファ論理回路（ブロックA2）を構成する各PMOS Q24，Q26のバックゲート電極が、各PMOSのソース電位である接地電圧Vss1（例えば±0V）に接続されるものである。そして、前記バックゲート電極とソース電極が同電位とされることによって、基板バイアス効果無くし、PMOSの閾値電圧を絶対値で低くさせ、且つドレイン・ソース電流が絶対値で多く流れる様に構成されたものである。

半導体集積回路装置内に形成される大きな機能モジュールのPウェル容量は、数百pF以上の重負荷容量となるため、高速にPウェル電位を制御するためには、高駆動能力のMOSトランジスタが必要となる。この第1のバッファ論理回路（ブロックA2）を構成する各PMOSのバックゲート電位を各PMOSのソース電位と共通の接地電圧Vss1（例えば±0V）に接続するには、PMOS Q24，Q26用のNウェル領域が必要になるが、これは機能モジュールのPウェル領域の容量に応じて、基板バイアス効果が有るときの第1のバッファ論理回路（ブロックA2）を構成する各PMOSのレイアウト面積と、専用のNウェル領域を設けることによるレイアウト面積の増加との相互関係で回路構成が決定される。

＜第6実施例＞

図11には、本発明の第6実施例に係るPMOS用の基板バイアス制御回路が示される。本実施例の基板バイアス制御回路は、図3に示される第2のバッファ論理回路（ブロックB2）を構成する各NMOS Q41，Q43のバックゲート電極が、各NMOSのソース電位である電源電圧Vdd1（例えば+2V）に接続された構成となっているものである。尚、第6実施例の基板バイアス制御回路における回路動作について、図12の各部信号波形のタイミングチャート図に示さ

れるが、回路動作が図3の基板バイアス制御回路と同一部分については同一参照符号を付し、その説明は省略する。

第6実施例の基板バイアス制御回路は、第2実施例に記載されたPMOS用の基板バイアス制御回路における第2のバッファ論理回路(Nch: Q41, Q43)の駆動能力を向上させ高速化を図ったものである。つまり、図12に示される基板バイアス制御回路における第2のバッファ論理回路(ブロックB2)を構成する各NMOS Q41, Q43のバックゲート電極が、各NMOSのソース電位である電源電圧Vdd1(例えば+2V)に接続されるものである。そして、バックゲート電極とソース電極が同電位とされることによって、基板バイアス効果無くし、NMOSの閾値電圧が低くされ、且つドレイン・ソース電流が多く流れる様に構成されたものである。

半導体集積回路装置内に形成される大きな機能モジュールのNウエル容量は、数百pF以上の重負荷容量となるため、高速にNウエル電位を制御するためには、高駆動能力のMOSトランジスタが必要となる。この第2のバッファ論理回路(ブロックB2)を構成する各NMOSのバックゲート電位を各NMOSのソース電位と共通の電源電圧Vdd1(例えば+2V)に接続するには、NMOS Q41, Q43用のPウエル領域が必要になるが、これは機能モジュールのNウエル領域の容量に応じて、基板バイアス効果が有るときの第2のバッファ論理回路(ブロックB2)を構成する各NMOSのレイアウト面積と、専用のPウエル領域を設けることによるレイアウト面積の増加との相互関係で回路構成を決定する。

<第7実施例>

図13には、本発明の第7実施例に係るNMOS用の基板バイアス制御回路が示される。本実施例の基板バイアス制御回路は、第5実施例と同様に第3実施例の第1のバッファ論理回路(ブロックA2)を構成する各PMOS Q24, Q26のバックゲート電極が、各PMOSのソース電位である接地電圧Vss1(例えば±0V)に接続された構成となっているものである。尚、第7実施例の基板バイアス制御回路における回路動作について、図14の各部信号波形のタイミングチャート図に示されるが、回路動作が第1実施例の基板バイアス制御回路と同一

部分については同一参照符号を付しその説明は省略する。

第7実施例の基板バイアス制御回路は、図5に記載されたNMOS用の基板バイアス制御回路における第1のバッファ論理回路(Pch:Q24, Q26)の駆動能力を向上させ高速化を図ったものである。つまり、図13に示される基板バイアス制御回路における第1のバッファ論理回路(ブロックA2)を構成する各PMOSQ24, Q26のバックゲート電極が、各PMOSのソース電位である接地電圧Vss1(例えば±0V)に接続されるものである。そして、バックゲート電極とソース電極が同電位とされることによって、基板バイアス効果無くし、PMOSの閾値電圧が絶対値で低くされ、且つドレイン・ソース電流が絶対値で多く流れる様に構成されるものである。これは、半導体集積回路装置内に形成される大きな機能モジュールのPウェル容量は、数百pF以上の重負荷容量となるため、高速にPウェル電位を制御するためには、高駆動能力のMOSトランジスタが必要となるためである。

但し、第1の信号電圧レベル変換回路(ブロックA1)と第1のバッファ論理回路(ブロックA2)間に設けられた波形整形用の第1のインバータ回路(ブロックA3)のPMOSQ28のバックゲート電極は、電源電圧Vdd1(例えば+2V)もしくは図3に示される電源電圧Vdd2(例えば+4V)に接続され、接地電圧Vss1(例えば±0V)から接地電圧Vss2(例えば-2V)に流れるリーク電流を最小限に抑えた方が良い。

又、第1のバッファ論理回路(ブロックA2)を構成する各PMOSのバックゲート電位を各PMOSのソース電位と共通の接地電圧Vss1(例えば±0V)に接続するには、PMOSQ24, Q26用のNウェル領域が必要となる。これは機能モジュールのPウェル領域の負荷容量に応じて、基板バイアス効果が有る時の第1のバッファ論理回路(ブロックA2)を構成する各PMOSのレイアウト面積と、専用のNウェル領域を設けることによるレイアウト面積の増加との相互関係で回路構成が決定される。

<第8実施例>

図15には、本発明の第8実施例に係るPMOS用の基板バイアス制御回路が

示される。本実施例の基板バイアス制御回路は、第6実施例と同様に第4実施例の第2のバッファ論理回路（ブロックB2）を構成する各NMOS Q41, Q43のバックゲート電極が、各NMOSのソース電位であるVdd1（例えば+2V）に接続された構成となっているものである。尚、第8実施例の基板バイアス制御回路における回路動作について、図16の各部信号波形のタイミングチャート図に示されるが、その回路動作が第2実施例の基板バイアス制御回路と同一部分については同一参照符号を付しその説明は省略する。

第8実施例の基板バイアス制御回路は、第4実施例に記載されたPMOS用の基板バイアス制御回路における第2のバッファ論理回路（Nch: Q41, Q43）の駆動能力を向上させ高速化を図ったものである。つまり、本実施例の基板バイアス制御回路は、図7に示される基板バイアス制御回路における第2のバッファ論理回路（ブロックB2）を構成する各NMOS Q41, Q43のバックゲート電極が、各NMOSのソース電位であるVdd1（例えば+2V）に接続されるものである。そして、バックゲート電極とソース電極が同電位とされることによって、基板バイアス効果を無くし、NMOSの閾値電圧が低くされ、且つドレイン・ソース電流が多く流れる様に構成されるものである。これは、半導体集積回路装置内に形成される大きな機能モジュールのNウェル容量は、数百pF以上の重負荷容量となるので、高速にNウェル電位を制御するためには、高駆動能力のMOSトランジスタが必要となるためである。

但し、第2の信号電圧レベル変換回路（ブロックB1）と第2のバッファ論理回路（ブロックB2）間に設けられた波形整形用の第2のインバータ回路（ブロックB3）のNMOS Q45のバックゲート電極は、接地電圧Vss1（例えば±0V）、もしくは図1に示される接地電圧Vss2（例えば-2V）と接続され、電源電圧Vdd2（例えば+4V）から電源電圧Vdd1（例えば+2V）に流れるリーク電流を最小限に抑えた方がよい。又、第2のバッファ論理回路（ブロックB2）を構成する各NMOSのバックゲート電位を各NMOSのソース電位と共通の電源電圧Vdd1（例えば+2V）に接続するには、NMOS Q41, Q43用のPウェル領域が必要となる。しかし、これは機能モジュールのNウェル領域の負荷容量に応じて、基板バイアス効果が有るときの第2のバッファ論理回路

(ブロック B 2) を構成する各 NMOS のレイアウト面積と、専用の P ウェル領域を設けることによるレイアウト面積の増加との相互関係で回路構成が決定される。

以上、基板バイアス制御回路のバリエーションについて述べてきたが、特に、これらの回路は、基板バイアス制御回路として使用されることに限定されず、たとえば、フラッシュメモリ等にも適用でき、この場合、入出力回路等の電圧レベルの異なる部分同志のインターフェースとしてのレベルシフタとして使用することができる。

次に、基板バイアス制御回路によりウェル電位を制御される、機能モジュールを構成する MOS トランジスタの配線レイアウトについて例を挙げて説明する。

< 第 9 実施例 >

次に、本発明の実施例に係る基板バイアス制御回路を具備する半導体集積回路装置をマスタスライス方式にて形成したマスタスライス型半導体集積回路装置の機能ブロックのレイアウトについて説明する。

図 18 は本発明の第 9 実施例に関わる配線レイアウト図であり、図 19 (a)、図 19 (b) に示されるインバータ回路 INV 1 をマスタスライス型半導体集積回路装置内の基本セル上に配線レイアウトしたものである。

図 19 (a) にはインバータ回路 INV 1 のシンボルが示され、入力信号 A に対して出力信号 X が反転論理で出力されるものである。このインバータ回路 INV 1 をトランジスタレベルの回路図で示すと図 19 (b) に示されるような回路構成となる。図 19 (b) において、入力信号 A が入力される入力端子が、PMOS Q 2 のゲート端子と NMOS Q 1 のゲート端子に共通に接続され、PMOS Q 2 のソース端子が電源配線層 Vdd 1 に、バックゲート端子が N ウェルを介して電源配線層 Vdd 2 に各々接続される。同様に、NMOS Q 1 のソース端子が接地配線層 Vss 1 に、バックゲート端子が P ウェルを介して接地配線層 Vss 2 に、各々電氣的に接続され、PMOS Q 2 のドレイン端子と NMOS Q 1 のドレイン端子とが、出力信号 X が出力される出力端子にて接続された構成となっている。

このインバータ回路 INV 1 をマトリクス状に複数配置された基本セル群内の

1つの基本セル上に配線レイアウトすると、図18に示されるような配線レイアウトとなる。

図18に示される基本セルのトランジスタ構成は各社各様であるが、ここではゲート電極G1、G3及びゲート電極G1、G3よりもチャネル幅が小さいゲート電極G5、ソース・ドレイン電極SD1、SD3、SD5及びSD7からなるNMOSQ1、ゲート電極G2及びG4、ソース・ドレイン電極SD2、SD4及びSD6とからなるPMOSQ2を基本単位（2個のPMOS+2個のNMOS+1個のサブ・NMOS）とする基本セルを用いて配線レイアウトする。

この基本セル上に図19（a）、（b）に示されるインバータ回路INV1を構成すると、図18に示される配線レイアウトとなる。すなわち、接地配線層Vss1はMOSトランジスタのチャネル長方向に延長された第1金属配線層により形成される。接続孔を介して、前記接地配線層Vss1、NMOSQ1のソース電極SD3、及び使用されないソース・ドレイン電極SD1がそれぞれ電氣的に接続される。

そして、ウエル電極B1はMOSトランジスタのチャネル幅方向に延長され、前記ウエル電極B1と第1金属配線層M13、および前記第1金属配線層よりも上層の第2金属配線層にて形成される接地配線層Vss2と第1金属配線層M13とが、それぞれ接続孔H1及び接続孔C1を介して電氣的に接続される。又、電源配線層Vdd1はMOSトランジスタのチャネル長方向に延長された第1金属配線層により形成され、前記電源配線層Vdd1は接続孔を介してPMOSQ2のソース電極SD4及び使用されないソース・ドレイン電極SD2に各々接続される。また、ウエル電極B2はMOSトランジスタのチャネル幅方向に延長される。前記ウエル電極B2と第1金属配線層M14、および、第2金属配線層にて形成される電源配線層Vdd2と第1金属配線層M14とが、接続孔H2及び接続孔C2を介して各々接続される。

更に、前記インバータ回路INV1を制御する入力信号Aは、第1金属配線層M11に印加され、NMOSQ1のゲート電極G3とPMOSQ2のゲート電極G4が、接続孔を介して第1金属配線層M11に各々電氣的に接続されることにより、前記入力信号Aが前記ゲート電極G3とG4に印加される。

一方、出力信号Xは第1金属配線層M12に出力されるものであるが、インバータINV1の出力部において、NMOSQ1のドレイン電極SD5と、PMOSQ2のドレイン電極SD6が接続孔を介して、第1金属配線層M12と各々接続される。よって、前記NMOSQ1とPMOSQ2の各々のドレイン電極SD5、SD6が電氣的に共通接続されて出力信号Xが形成される。

前記第2金属配線層にて形成される電源配線層Vdd2、接地配線層Vss2は、NMOSQ1及びPMOSQ2のウェル電極B1、B2上の配線グリッドGX1、GX5上に配置され、配線グリッドGX2、GX3、GX4上を第2金属配線層にて形成される電源配線層Vdd2、接地配線層Vss2の配置配線禁止領域とする。又、前記電源配線層Vdd2、接地配線層Vss2をNMOSQ1及びPMOSQ2のウェル電極に接続する接続孔C1、C2、H1、H2及び第1金属配線層M13、M14は、配線ルールにより、第1金属配線層により形成された電源配線層Vdd1、接地配線層Vss1間の配線グリッドGN5、GN6、GN7及び配線グリッドGP1、GP2、GP3上であって、且つ配線グリッドGX1もしくはGX5上に配置される。

さらに、前記配線ルールによれば、NMOSQ1及びPMOSQ2のウェル電極B1、B2に直接接続される接続孔C2は、第1金属配線層により形成されて一方の電位を供給する電源配線層Vdd1の隣接グリッドGP3上であって、且つ配線グリッドGX1上に配置される。接続孔C1は、さらに、他方の電位を供給する接地配線層Vss1の隣接グリッドGN5上であって、且つ配線グリッドGX5上に配置される。

これらの配線ルールは、配線グリッドGX2、GX3、GX4上に他の第2金属配線層による機能回路内部信号配線、もしくは機能ブロック間信号配線等の配置配線領域を確保するものであり、同様に配線グリッドGN1、GN2、GN3及び配線グリッドGP5、GP6、GP7も他の第1金属配線層による機能回路内部信号配線、もしくは機能ブロック間信号配線等の配置配線領域を確保するものである。この配置配線領域の確保によって、電源配線及び接地配線の電位とは異なるPMOSQ2、NMOSQ1の各バックゲート電極制御用の新たな電源配線領域を確保し、効率良く配線レイアウトすることが出来る。

又、NMOSQ1及びPMOSQ2のウエル電極に直接接続される接続孔C1及びC2の配置は、MOSトランジスタのチャンネル長方向に延長された第1金属配線層により形成される電源配線層Vdd1、接地配線層Vss1を、MOSトランジスタのチャンネル幅に対して中心部分、もしくは中心部分に近い配線グリッドに配置配線し、MOSトランジスタのソース電極中心部分に電位を与えるようにすることによって、MOSトランジスタのソース電位を安定させる効果がある。つまり、コンタクトホールは配線ピッチの関係上、1カ所しかとることができないので、電源配線層Vdd1及び接地配線層Vss1における配線抵抗の偏りを避けるために、コンタクトホールを前記チャンネル幅の中心部分もしくは中心部分に近い配線グリッド上に配置し、コンタクトホールと夫々の電源配線間の距離を均一にすることができ、均等な抵抗を形成することができる。

すなわち、MOSトランジスタのウエル電極に直接接続される接続孔C1及びC2の配置も、MOSトランジスタのチャンネル幅に対して中心部分もしくは中心部分に近い配線グリッドである電源配線層Vdd1及び接地配線層Vss1の隣接グリッドである、配線グリッドGX1もしくはGX5上のGP3あるいはGN5上に配置することにより、MOSトランジスタのウエル電位を安定化させることができる。

尚、NMOSQ1及びPMOSQ2のウエル電極B1、B2に、接続孔C1、C2、H1、H2を介して、第1金属配線層M13、M14及び電源配線層Vdd2、接地配線層Vss2を各々電氣的に接続する方法にかえて、第2金属配線層により形成された前記電源配線層Vdd2、接地配線層Vss2から直接NMOSQ1、及びPMOSQ2のウエル電極B1、B2に接続孔を介して接続することもできる。

本実施例においては、コンタクトホールが1つのMOSに対し、1つ設けられているので、ラッチアップを防止することができる。

又、本実施例において、インバータ回路を構成する基本セルを取り上げて、その配線レイアウトについて説明したが、チップ上に形成された複数の基本セルにおいて、各基本セルごとに基本セル上に電源配線層Vdd2、接地配線層Vss2を形成するかしないかを選択することができる。又、電源配線層Vdd2、接地配線

層Vss2の機能が不要な基本セルにおいては、前記電源配線層Vdd2、接地配線層Vss2として形成された第2金属配線層を、電源配線層Vdd1、接地配線層Vss1の補助用電源として使用することもできる。

<第10実施例>

図20は本発明の第10実施例に係る配線レイアウト図であり、図21(a)、図21(b)に示されるNAND回路をマスタスライス型半導体集積回路装置内の基本セル上に配線レイアウトしたものである。図20において、構成上、図18と重複する部材については同一符号を用いて示す。

図21(a)にはNAND回路のシンボルが示され、入力信号A及び入力信号Bの積に対して出力信号Xが反転論理で出力されるものである。このNAND回路をトランジスタレベルの回路図で示すと図21(b)に示されるような回路構成となる。図21(b)において、入力信号Aが入力される一方の入力端子が、PMOSQ4のゲート端子とNMOSQ3のゲート端子に共通に接続され、入力信号Bが入力される他方の入力端子は、PMOSQ6のゲート端子とNMOSQ5のゲート端子に共通に接続される。

又、PMOSQ4、Q6のソース端子が電源配線Vdd1に、バックゲート端子がNウェルを介して電源配線層Vdd2に各々接続される。そして、NMOSQ5のソース端子が接地配線層Vss1に接続され、NMOSQ3、Q5のバックゲート端子がPウェルを介して接地配線層Vss2に各々接続される。

更に、NMOSQ3とQ5が直列に接続されると共に、PMOSQ4、Q6のドレイン端子とNMOSQ3のドレイン端子が、出力信号Xが出力される出力端子にて、共通接続された構成となっている。

このNAND回路をマトリクス状に複数配置された基本セル群内の1つの基本セル上に配線レイアウトすると、図20に示されるような配線レイアウトになる。

図20に示される基本セルのトランジスタ構成は各社各様であるが、図18に示される基本セルと同様に、ゲート電極G7、G9及びゲート電極G7、G9よりもチャネル幅が小さいゲート電極G11、ソース・ドレイン電極SD9、SD11、SD13及びSD15からなるNMOSQ3、Q5と、ゲート電極G6及

びG 8、ソース・ドレイン電極SD 8、SD 10及びSD 12からなるPMOS Q 4、Q 6を基本単位（2個のPMOS+2個のNMOS+1個のサブ・NMOS）とする基本セルを用いて配線レイアウトする。

この基本セル上に図21（a）、図21（b）に示されるNAND回路を構成すると、図20に示される配線レイアウトとなる。すなわち、接地配線層Vss1はMOSトランジスタのチャネル長方向に延長された第1金属配線層により形成される。接続孔を介して、前記接地配線層Vss1は、NMOS3のソース電極SD 13と電氣的に接続される。

そして、ウエル電極B 3はMOSトランジスタのチャネル幅方向に延長され、前記ウエル電極B 1と第1金属配線層15、第1金属配線層よりも上層の第2金属配線層にて形成される接地配線層Vss2と第1金属配線層M 15とが、それぞれ接続孔H 1及び接続孔C 1を介して接続される。

又、電源配線層Vdd1はMOSトランジスタのチャネル長方向に延長された第1金属配線層により形成され、前記電源配線層Vdd1は接続孔を介してPMOS Q 5のソース電極SD 8及びSD 12に各々接続される。

そして、ウエル電極B 4はMOSトランジスタのチャネル幅方向に延長され、前記ウエル電極B 4と第1金属配線層M 17、第2金属配線層にて形成される電源配線層Vdd2と第1金属配線層M 17とが、接続孔H 2及び接続孔C 2を介して各々接続される。

更に、NAND回路を制御する入力信号Aは、第1金属配線層M 15に印加され、NMOS Q 3のゲート電極G 9とPMOS Q 4のゲート電極G 8が、接続孔を介して第1金属配線層M 15に各々電氣的に接続される。さらに、入力信号Bは、第1金属配線層M 16に印加され、NMOS Q 5のゲート電極G 7とPMOS Q 6のゲート電極G 6が、接続孔を介して第1金属配線層M 16に各々電氣的に接続される。このようにして、前記入力信号Aが前記ゲート電極G 8、G 9に印加され、前記入力信号Bが前記ゲート電極G 6、G 7に印加される。

一方、出力信号Xは第1金属配線層M 19に出力されるものであるが、NAND回路NANDの出力部において、NMOS Q 5のドレイン電極SD 9と、PMOS Q 6のドレイン電極SD 10が接続孔を介して、第1金属配線層M 19と各

々接続される。よって、前記NMOSQ5とPMOSQ6の各々のドレイン電極SD9、SD10が電氣的に共通接続されて出力信号Xが形成される。

前記第2金属配線層で形成される電源配線層Vdd2、接地配線層Vss2は、NMOSQ3、Q5及びPMOSQ4、Q5のウエル電極B3、B4上の配線グリッドGX1、GX5上に配置配線され、配線グリッドGX2、GX3、GX4上を第2金属配線層にて形成される電源配線層Vdd2、接地配線層Vss2の配置配線禁止領域とする。又、前記電源配線層Vdd2、接地配線層Vss2をNMOSQ3、Q5及びPMOSQ4、Q6のウエル電極に接続する接続孔C1、C2、H1、H2及び第1金属配線層M18、M19は、配線ルールにより、第1金属配線層により形成された電源配線層Vdd1、接地配線層Vss1間の配線グリッドGN5、GN6、GN7上及び配線グリッドGP1、GP2、GP3上であって、且つ配線グリッドGX1もしくはGX5上に配置される。さらに、前記配線ルールによれば、NMOSQ5及びPMOSQ4のウエル電極B3、B4に直接接続される接続孔C1、C2は、第1金属配線層により形成されて一方の電位を供給する電源配線層Vdd1の隣接グリッドGP3上であって、且つ配線グリッドGX1もしくはGX5上に配置される。さらに、他方の電位を供給する接地配線層Vss1の隣接グリッドGN5上であって、且つ配線グリッドGX1もしくはGX5上に配置される。

これらの配線ルールは、配線グリッドGX2、GX3、GX4上に他の第2金属配線層による機能回路内部信号配線、もしくは機能ブロック間信号配線等の配置配線領域を確保するものであり、同様に配線グリッドGN1、GN2、GN3及び配線グリッドGP5、GP6、GP7も他の第1金属配線層による機能回路内部信号配線、もしくは機能ブロック間信号配線等の配置配線領域を確保するものである。この配置配線領域の確保によって、電源配線及び接地配線の電位とは異なるPMOSQ4、Q6、NMOSQ3、Q5の各バックゲート電極制御用の新たな電源配線領域を確保し、効率良く配線レイアウトすることができる。

又、NMOSQ3、Q5及びPMOSQ4、Q6のウエル電極B3、B4に直接接続される接続孔C1及びC2の配置は、MOSトランジスタのチャンネル長方向に延長された第1金属配線層により形成される電源配線層Vdd1及び接地配線

層 V_{ss1} を、MOSトランジスタのチャネル幅に対して中心部分、もしくは中心部分に近い配線グリッドに配置配線し、MOSトランジスタのソース電極中心部分に電位を与えることによって、MOSトランジスタのソース電位を安定させる効果がある。

これと同様に、MOSトランジスタのウエル電極に直接接続される接続孔 $C1$ 及び $C2$ の配置も、MOSトランジスタのチャネル幅に対して中心部分もしくは中心部分に近い配線グリッドである電源配線層 V_{dd1} 及び接地配線層 V_{ss1} の隣接グリッドである、配線グリッド G_{X1} もしくは G_{X5} 上の G_{P3} あるいは G_{N5} 上に配置することにより、MOSトランジスタのウエル電位を安定化させる。つまり、コンタクトホールは配線ピッチの関係上、1カ所しかとることができないので、電源配線層 V_{dd1} 及び接地配線層 V_{ss1} における配線抵抗の偏りを避けるために、コンタクトホールを前記チャネル幅の中心部分もしくは中心部分に近い配線グリッド上に配置し、コンタクトホールと夫々の電源配線間の距離を均一にすることができ、均等な抵抗を形成することができる。

尚、NMOS、 $Q3$ 、 $Q5$ 及びPMOS $Q4$ 、 $Q5$ のウエル電極 $B3$ 、 $B4$ に、接続孔 $C1$ 、 $C2$ 、 $H1$ 、 $H2$ を介して、第1金属配線層 $M18$ 、 $M19$ 及び電源配線層 V_{dd2} 、接地配線層 V_{ss2} を各々電氣的に接続する方法は、第2金属配線層により形成された前記電源配線層 V_{dd2} 、接地配線層 V_{ss2} から直接NMOS $Q3$ 、 $Q5$ 及びPMOS $Q4$ 、 $Q6$ のウエル電極 $B3$ 、 $B4$ に接続孔を介して接続することにより接続することもできる。

本実施例においては、コンタクトホールが1つの素子に対し、1つ設けられているので、ラッチアップを防止することができる。

又、本実施例において、インバータ回路を構成する基本セルを取り上げて、その配線レイアウトについて説明したが、チップ上に形成された複数の基本セルにおいて、各基本セルごとに基本セル上に電源配線層 V_{dd2} 、接地配線層 V_{ss2} を形成するかしないかを選択することができる。又、電源配線層 V_{dd2} 、接地配線層 V_{ss2} の機能が不要な基本セルにおいては、前記電源配線層 V_{dd2} 、接地配線層 V_{ss2} として形成された第2金属配線層を、現在使用されているような電源配線層 V_{dd1} 、接地配線層 V_{ss1} の補助用電源として使用することもできる。

<第 1 1 実施例>

図 2 2 は本発明の第 1 1 実施例に係る配線レイアウト図であり、図 2 3 (a)、図 2 3 (b) に示される NOR 回路をマスタスライス型半導体集積回路装置内の基本セル上に配線レイアウトしたものである。図 2 2 において、図 1 8、図 2 0 と構成上、重複する部材については同一符号を用いて示す。

図 2 3 (a) の NOR は NOR 回路のシンボルを示したものであり、入力信号 A 及び入力信号 B の和に対して出力信号 X が反転論理で出力されるものである。この NOR 回路をトランジスタレベルの回路図で示すと図 2 3 (b) に示されるような回路構成となる。図 2 3 (b) において、入力信号 A が入力される一方の入力端子が、PMOS Q 8 のゲート端子と NMOS Q 9 のゲート端子に共通に接続され、入力信号 B が入力される他方の入力端子が、PMOS Q 1 0 のゲート端子と NMOS Q 7 のゲート端子に共通に接続される。

又、PMOS Q 8 のソース端子が電源配線層 Vdd 1 に接続され、PMOS Q 8 及び Q 1 0 のバックゲート端子が N ウェルを介して電源配線層 Vdd 2 に各々接続されると共に、NMOS Q 7 及び Q 9 のソース端子が接地配線層 Vss 1 に各々接続され、バックゲート端子が P ウェルを介して接地配線層 Vss 2 に各々接続される。

更に PMOS Q 8 と Q 1 0 が直列に接続されると共に、PMOS Q 1 0 のドレイン端子と、NMOS Q 7 及び Q 9 のドレイン端子とが出力信号 X が出力される出力端子に接続された構成となっている。

この NOR 回路をマトリクス状に複数配置された基本セル群内の 1 つの基本セル上に配線レイアウトすると、図 2 2 に示されるような配線レイアウトになる。

図 2 2 に示される基本セルのトランジスタ構成は各社各様であるが、図 1 8 に示された基本セルと同様に、ゲート電極 G 1 3、G 1 5 及び前記ゲート電極 G 1 3、G 1 5 よりもチャネル幅が小さいゲート電極 G 1 7、ソース・ドレイン電極 SD 1 7、SD 1 9、SD 2 1 及び SD 2 3 とからなる NMOS Q 7、Q 9、ゲート電極 G 1 0 及び G 1 2、ソース・ドレイン電極 SD 1 4、SD 1 6 及び SD 1 8 とからなる PMOS Q 8、Q 1 0 を基本単位 (2 個の PMOS + 2 個の NM

OS + 1 個のサブ・NMOS) とする基本セルを用いて配線レイアウトする。

この基本セル上に図 23 (a)、図 23 (b) に示される NOR 回路 NOR を構成すると、図 22 に示される配線レイアウトとなる。すなわち、接地配線層 Vss1 は MOS トランジスタのチャネル長方向に延長された第 1 金属配線層により形成され、接続孔を介して、前記接地配線層 Vss1、NMOS Q7、Q9 のソース電極 SD17 及び SD21 がそれぞれ電氣的に接続される。

そして、ウエル電極 B5 は MOS トランジスタのチャネル幅方向に延長され、前記ウエル電極 B5 と第 1 金属配線層 M23、前記第 1 金属配線層 M23 よりも上層の第 2 金属配線層にて形成される接地配線層 Vss2 と第 1 金属配線層 M23 とが、それぞれ接続孔 H1 及び接続孔 C1 を介して各々電氣的に接続される。

又、電源配線層 Vdd1 は MOS トランジスタのチャネル長方向に延長された第 1 金属配線層により形成され、前記電源配線層 Vdd1 は接続孔を介して PMOS Q8 のソース電極 SD18 に接続される。

そして、ウエル電極 B6 は MOS トランジスタのチャネル幅方向に延長され、前記ウエル電極 B6 と第 1 金属配線層 M24、前記第 2 金属配線層にて形成される電源配線層 Vdd2 と第 1 金属配線層 M24 とが、それぞれ接続孔 H2 及び接続孔 C2 を介して各々接続される。

更に、NOR 回路を制御する入力信号 A は、第 1 金属配線層 M20 に印加され、NMOS9 のゲート電極 G15 と PMOS Q8 のゲート電極 G12 が、接続孔を介して第 1 金属配線層 M20 に各々電氣的に接続されることにより、前記入力信号 A が前記ゲート電極 G15 と G12 に印加される。そして、入力信号 B は、第 1 金属配線層 M21 に印加され、NMOS7 のゲート電極 G13 と PMOS Q10 のゲート電極 G10 が接続孔を介して第 1 金属配線層 M21 に各々電氣的に接続されることにより、前記入力信号 B が前記ゲート電極 G13 と G10 に印加される。

一方、出力信号 X は第 1 金属配線層 M22 に出力されるものであるが、NOR 回路 NOR の出力部において、NMOS Q9 のドレイン電極 SD19 と、PMOS Q10 のドレイン電極 SD14 が接続孔を介して、第 1 金属配線層 M22 と各々接続される。よって NMOS Q7、Q9 と PMOS Q8、Q10 の各々のドレ

イン電極SD19, SD14が電氣的に共通接続されて出力信号Xが形成される。

前記第2金属配線層にて形成される電源配線層Vdd2, 接地配線層Vss2は、NMOSQ7, Q9及びPMOSQ8, Q10のウエル電極B5, B6上の配線グリッドGX1, GX5上に配置配線され、配線グリッドGX2, GX3, GX4上を第2金属配線層にて形成される電源配線層Vdd2, 接地配線層Vss2の配置配線禁止領域とする。

又、前記電源配線層Vdd2, 接地配線層Vss2をNMOSQ7, Q9及びPMOSQ8, Q10のウエル電極B5, B6に接続する接続孔C1, C2, H1, H2及び第1金属配線層はM23, 24は、配線ルールにより、第1金属配線層により形成された電源配線層Vdd1, 接地配線層Vss1間の配線グリッドGN5, GN6, GN7及び配線グリッドGP1, GP2, GP3上であって、且つ配線グリッドGX1もしくはGX5上に配置される。

さらに、前記配線ルールによれば、NMOSQ7, Q9及びPMOSQ8, Q10のウエル電極B5, B6に直接接続される接続孔C1, C2は、第1金属配線層により形成されて一方の電位を供給する電源配線層Vdd1の隣接グリッドGP3であって、且つ配線グリッドGX1もしくはGX5上に配置される。さらに、他方の電位を供給する接地配線層Vss1の隣接グリッドGN5上であって、且つ配線グリッドGX1もしくはGX5上に配置される。

これらの配線ルールは、配線グリッドGX2, GX3, GX4上に他の第2金属配線層による機能回路内部信号配線、もしくは機能ブロック間信号配線等の配置配線領域を確保するものであり、同様に配線グリッドGN1, GN2, GN3及び配線グリッドGP5, GP6, GP7も他の第1金属配線層による機能回路内部信号配線、もしくは機能ブロック間信号配線等の配置配線領域を確保するものである。この配置配線領域の確保によって、電源配線及び接地配線の電位とは異なるPMOSQ8, Q10, NMOSQ7, Q9の各バックゲート電極制御用の新たな電源配線領域を確保し、効率良く配線レイアウトすることが出来る。

又、NMOSQ7, Q9及びPMOSQ8, Q10のウエル電極B5, B6に直接接続される接続孔C1、及びC2の配置は、MOSトランジスタのチャネル長方向に延長された第1金属配線層により形成される電源配線層Vdd1及び接地

配線層 V_{ss1} を、MOSトランジスタのチャネル幅に対して中心部分、もしくは中心部分に近い配線グリッドに配置配線し、MOSトランジスタのソース電極中心部分に電位を与えることによって、MOSトランジスタのソース電位を安定させる効果がある。つまり、コンタクトホールは配線ピッチの関係上、1カ所しかとることができないので、電源配線層 V_{dd1} 及び接地配線層 V_{ss1} 配線層における配線抵抗の偏りを避けるために、コンタクトホールを前記チャネル幅の中心部分もしくは中心部分に近い配線グリッド上に配置し、コンタクトホールと夫々の電源配線間の距離を均一にすることができ、均等な抵抗を形成することができる。

これと同様にMOSトランジスタのウエル電極に直接接続される接続孔 $C1$ 及び $C2$ の配置も、MOSトランジスタのチャネル幅に対して中心部分もしくは中心部分に近い配線グリッドである電源配線層 V_{dd1} 及び接地配線層 V_{ss1} の隣接グリッドである、配線グリッド G_{X1} もしくは G_{X5} 上の G_{P3} あるいは G_{N5} に配置することにより、MOSトランジスタのウエル電位を安定化させる。

尚、NMOS $Q7$ 、 $Q9$ 、及びPMOS $Q8$ 、 $Q10$ のウエル電極 $B5$ 、 $B6$ に、接続孔 $C1$ 、 $C2$ 、 $H1$ 、 $H2$ を介して、第1金属配線層 $M23$ 、 $M24$ 及び電源配線層 V_{dd2} 、接地配線層 V_{ss2} を各々電氣的に接続する方法は、第2金属配線層により形成された前記電源配線層 V_{dd2} 、接地配線層 V_{ss2} から直接NMOS $Q7$ 、 $Q9$ 及びPMOS $Q8$ 、 $Q10$ のウエル電極 $E5$ 、 $B6$ に接続孔を介して接続することにより接続することもできる。

本実施例においては、コンタクトホールが1つの素子に対し、1つ設けられているので、ラッチアップを防止することができる。

又、本実施例において、インバータ回路を構成する基本セルを取り上げて、その配線レイアウトについて説明したが、チップ上に形成された複数の基本セルにおいて、各基本セルごとに基本セル上に電源配線層 V_{dd2} 、接地配線層 V_{ss2} を形成するかしないかを選択することができる。又、電源配線層 V_{dd2} 、接地配線層 V_{ss2} の機能が不要な基本セルにおいては、前記電源配線層 V_{dd2} 、接地配線層 V_{ss2} として形成された第2金属配線層を、現在使用されているような電源配線層 V_{dd1} 、接地配線層 V_{ss1} の補助用電源として使用することもできる。

＜第 1 2 実施例＞

本発明の半導体集積回路装置における機能モジュールは、様々な機能を有するものであり、たとえば、ロジック回路、ROM、RAM、MPU、スタンダードセル等の半導体集積回路装置にて構成することができる。この場合も、チップ上に基板バイアス制御回路を設けて、外部電源によりバックゲート電極を制御して、基板バイアス効果を用い、MOSトランジスタの動作を制御し、前述したような高性能を有する機能ブロックを実現するものである。本実施例においては、本発明の半導体集積回路装置の機能ブロックを、RAM回路に適用した場合の半導体集積回路装置について説明する。

図 2 4 は本発明の第 1 2 実施例に係る配線レイアウト図であり、図 2 5 に示す RAM 回路（ランダムアクセス・メモリ）をマスタスライス型半導体集積回路装置内の機能ブロックの基本セル上に配線レイアウトしたものである。図 2 4 において、図 1 8，図 2 0，図 2 2 と構成上、同一の部材には同一符号を用いて示す。

図 2 5 は RAM 回路を示したものであり、ライト・バスにソース・ドレイン電極の一方を接続し、ライト信号 W によりライト・バスとメモリセル間をスイッチ制御する NMOS トランスミッション・ゲート Q 1 1 と、この NMOS トランスミッション・ゲート Q 1 1 にソース・ドレイン電極の一方を接続し、ライト信号 W とライト信号 W の反転信号 XW によりメモリセルを構成するインバータ回路 INV 2，INV 3 間をスイッチ制御する PMOS Q 1 2 及び NMOS Q 1 3 からなるトランスミッション・ゲートが含まれる。さらに、上記 RAM 回路は、メモリセル内の信号を増幅し、リード・バスを駆動するインバータ回路 INV 4 と、リード・バスにソース・ドレイン電極の一方を接続し、リード信号 R によりリード・バスとメモリセル間をスイッチ制御する NMOS トランスミッション・ゲート Q 1 5 とを含むものである。

この RAM 回路をマトリクス状に複数配置された基本セル群内の 2 つの基本セルを用いて配線レイアウトすると、図 2 4 に示される配線レイアウトになる。

図 2 4 に示される基本セルのトランジスタ構成は各社各様であるが、図 1 8 に示される基本セルと同様の基本単位（2 個の PMOS + 2 個の NMOS + 1 個の

サブ・NMOS)となっている。この基本セル上に図25に示されるRAM回路を構成すると、図24に示される配線レイアウトとなる。

すなわち、RAM回路中のNMOSのウエル電極B7はMOSトランジスタのチャンネル幅方向に延長され、前記ウエル電極B7と第1金属配線層M25、第1金属配線層より上層の第2金属配線層にて形成される接地配線層Vss2と第1金属配線層M25とがそれぞれ接続孔H1及び接続孔C1を介して電氣的に接続される。そして、RAM回路中のPMOSのウエル電極B8は、MOSトランジスタのチャンネル幅方向に延長され、前記ウエル電極B8と第1金属配線層M26、前記第1金属配線層より上層の第2金属配線層にて形成される電源配線層Vdd2と第1金属配線層M26とが、それぞれ接続孔H2及び接続孔C2を介して電氣的に接続される。従って、図25に示されるRAM回路を構成するトランSMミッション・ゲートQ11, 15及びインバータ回路INV2~INV4のNMOSバックゲート電極は接地配線層Vss2に接続され、PMOSバックゲート電極は電源配線層Vdd2に接続された構成となっている。

前記第2金属配線層で供給される電源配線層Vdd2, 接地配線層Vss2はRAM回路中のNMOS及びPMOSのウエル電極B7, B8上の配線グリッドGX1, GX5上に配置配線され、配線グリッドGX2, GX3, GX4及びGX6, GX7, GX8上を第2金属配線層にて形成される電源配線層Vdd2, 接地配線層Vss2を配置配線禁止領域とする。

又、前記電源配線層Vdd2, 接地配線層Vss2をRAM回路中のNMOS及びPMOSのウエル電極B7, B8に接続する接続孔C1, C2, H1, H2及び第1金属配線層M25, M26は、配線ルールにより、第1金属配線層により供給された電源配線層Vdd1, 接地配線層Vss1間の配線グリッドGN5, GN6, GN7上及び配線グリッドGP1, GP2, GP3上であって、且つ配線グリッドGX1もしくはGX5上に配置される。さらに、前記配線ルールによれば、RAM回路中のNMOS及びPMOSのウエル電極B7, B8に直接接続される接続孔C1, C2は、第1金属配線層により形成されて一方の電位を供給する電源配線層Vdd1、もしくは他方の電位を供給する接地配線層Vss1に極力隣接した配線グリッド上に配置される。

これらの配線ルールは、配線グリッドGX2, GX3, GX4及びGX6, GX7, GX8上に他の第2金属配線層による機能回路内部信号配線もしくは機能ブロック間信号配線、例えば図24に示されるリード・ライト制御信号R, W, XW等の配置配線領域を確保するものである。又、同様に配線グリッドGN1, GN2, GN3及び配線グリッドGP5, GP6, GP7も他の第1金属配線層による機能回路内部信号配線もしくは機能ブロック間信号配線、例えば図24に示されるライト・バス及びリード・バス等の配置配線領域を確保するものである。したがって、電源配線層及び接地配線層の電位とは異なるRAM回路中のPMOS, NMOSの各バックゲート電極制御用の新たな電源配線領域を確保し、効率良く配線レイアウトすることが出来る。

又、NMOS及びPMOSのウエル電極に直接接続される接続孔C1及びC2の配置は、MOSトランジスタのチャネル長方向に延長された第1金属配線層により形成される電源配線層Vdd1及び接地配線層Vss1を、MOSトランジスタのチャネル幅に対して中心部分もしくは中心部分に近い配線グリッドに配置配線し、MOSトランジスタのソース電極中心部分に電位を与えることによって、MOSトランジスタのソース電位を安定させる効果がある。つまり、コンタクトホールは配線ピッチの関係上、1カ所しかとることができないので、電源配線層Vdd1及び接地配線層Vss1における配線抵抗の偏りを避けるために、コンタクトホールを前記チャネル幅の中心部分もしくは中心部分に近い配線グリッド上に配置し、コンタクトホールと夫々の電源配線間の距離を均一にすることができ、均等な抵抗を形成することができる。

これと同様にMOSトランジスタのウエル電極に直接接続される接続孔C1及びC2の配置も、極力MOSトランジスタのチャネル幅に対して中心部分もしくは中心部分に近い配線グリッドに配置することにより、MOSトランジスタのウエル電位を安定化させることができる。尚、RAM回路中のNMOS及びPMOSのウエル電極に、接続孔C1, C2, H1, H2を介して、第1金属配線層M25, M26及び電源配線層Vdd2, 接地配線層Vss2を各々電氣的に接続する方法は、第2金属配線層により形成された前記電源配線層Vdd2, 接地配線層Vss2から直接、RAM回路中のNMOS及びPMOSのウエル電極に接続孔を介

して接続することにより接続することもできる。

本実施例においては、コンタクトホールが1つの素子に対し、1つ設けられているので、ラッチアップを防止することができる。

又、本実施例において、インバータ回路を構成する基本セルを取り上げて、その配線レイアウトについて説明したが、チップ上に形成された複数の基本セルにおいて、各基本セルごとに基本セル上に電源配線層V_{dd}2、接地配線層V_{ss}2を形成するかしないかを選択することができる。又、電源配線層V_{dd}2、接地配線層V_{ss}2の機能が不要な基本セルにおいては、前記電源配線層V_{dd}2、接地配線層V_{ss}2として形成された第2金属配線層を、現在使用されているような電源配線層V_{dd}1、接地配線層V_{ss}1の補助用電源として使用することもできる。

<第13実施例>

次に、本発明の半導体集積回路装置における基板バイアス制御回路と機能モジュールに関する応用例、及び前記基板バイアス制御回路にて形成した電源の機能モジュールへの電源供給について、第13～14実施例にて説明する。これらの基板バイアス制御回路の構成は、NMOS用及びPMOS用の基板バイアス制御回路の両方を用いて、半導体集積回路内の全機能モジュールについて、消費電力と速度をダイナミックに最適制御するものである。

図26には、本発明の第13実施例に関わる基板バイアス制御回路のブロック構成図、および図27には機能モジュールを構成するMOSトランジスタの断面構造が示される。本実施例の半導体集積回路装置は、前述の第1～8実施例記載のNMOS用及びPMOS用の基板バイアス制御回路の両方を用いて、半導体集積回路装置内の全機能モジュールについて、消費電力と速度をダイナミックに最適制御するものである。すなわち、動作モード時の場合は、高駆動型のMOSトランジスタ特性を利用して動作させ、待機モード時の場合は、低消費電力型のMOSトランジスタ特性となるように構成したことを特徴とするものである。

前記基板バイアス制御回路においては、第1～12実施例に記載したように、第1金属配線層の一部（電源配線層V_{dd}1及び接地配線層V_{ss}1）に供給される1系電源V_{dd}1及びV_{ss}1と同電位もしくは異電位であって、かつ第2金属配線

層（電源配線層V_{dd2}及び接地配線層V_{ss2}）に供給される、2系電源V_{dd2}及びV_{ss2}が形成されるものである。すなわち、基板バイアス制御回路にて、全機能モジュールにおけるNMOSのPウェルに2系電源V_{ss2}が供給され、PMOSのNウェルに2系電源V_{dd2}が供給されるものである。そして、NMOS用の基板バイアス制御回路にて形成された2系電源V_{ss2}は、全機能モジュールに供給されるのみでなく、PMOS用の基板バイアス制御回路にも供給される。同様に、PMOS用の基板バイアス制御回路にて形成された2系電源V_{dd2}は、全機能モジュールに供給されるのみでなく、NMOS用の基板バイアス制御回路にも供給される。

以下、図26(a)の基板バイアス制御回路からの機能モジュールへの電源供給について説明する。

本実施例の基板バイアス制御回路は、外部装置から入力されるチップ・イネーブル信号CEが、NMOS用の基板バイアス制御回路における信号電圧レベル変換回路LV0Nに入力され、前記第1の信号電圧レベル変換回路LV0Nと接続された第1のバッファ論理回路、あるいは第1のバッファ論理回路及び第1の波形整形用インバータ回路LOG0Nにより2系電源V_{dd2}及びV_{ss2}の電位がコントロールされるものである。

ここで、前記信号電圧レベル変換回路LV0は、第1～8実施例のブロックA1及びブロックB1に対応し、特に図には分けて記載しないが、NMOS用及びPMOS用の基板バイアス制御回路に夫々具備された第1及び第2信号電圧レベル変換回路の両者を備えたものとして、第13～14実施例で説明する。尚、明細書中では、NMOS用の基板バイアス制御回路における第1の信号電圧レベル変換回路については、Nを付して「LV0N」のように示し、PMOS用である場合には、Pを付して「LV0P」のように示す。

さらに、前記第1のバッファ論理回路、あるいは第1のバッファ論理回路及び第1の波形整形用インバータ回路LOG0は、第1～8実施例のブロックA2、ブロックB2およびブロックA3、ブロックB3に対応し、特に図には分けて記載されていないが、前記NMOS用及びPMOS用の基板バイアス制御回路にそれぞれ具備された第1及び第2の信号レベル変換回路と接続されて夫々設けられ

た前記第1及び第2のバッファ論理回路、あるいは第1、第2のバッファ論理回路及び第1、第2の波形整形用インバータ回路の両者を備えたものとして第13～14実施例で説明する。

尚、明細書中では、NMOS用の基板バイアス制御回路における、第1のバッファ論理回路、あるいは第1のバッファ論理回路及び第1の波形整形用インバータ回路については、Nを付して「LOG0N」のように示し、PMOS用である場合には、Pを付して「LOG0P」のように示す。

チップ・イネーブル信号CEがハイレベルとされることにより、半導体集積回路装置は動作時モードに設定され、前記チップ・イネーブル信号CEはNMOS用の信号電圧レベル変換回路LV0Nに入力され、その出力信号が、第1のバッファ論理回路（あるいは第1のバッファ論理回路及び第1の波形整形用インバータ）LOG0Nに入力される。そして、前記LOG0Nにより、半導体集積回路装置内の全機能モジュールに形成されているNMOSのバックゲート電極であるPウエルの電位を制御する電圧Vpwが形成され、機能モジュールに入力される。さらに、前記Pウエルの電位を制御する電圧Vpw（電源電圧Vdd2）は、Pウエルを介して、PMOS用の第2の信号電圧レベル変換回路LV0Pにも入力される。

又、同時に前記チップ・イネーブル信号CEはPMOS用の第2の信号電圧レベル変換回路LV0Pに入力され、その出力信号が、第2のバッファ論理回路（あるいは第2のバッファ論理回路及び第2の波形整形用インバータ回路）LOG0Pに入力される。そして、前記LOG0Pにより、半導体集積回路装置内の全機能モジュールに形成されているPMOSのバックゲート電極であるNウエルの電位を制御する電圧Vnwが形成され、機能モジュールに入力される。さらに、前記Nウエルの電位を制御する電圧Vnw（接地電圧Vss2）は、Nウエルを介して、NMOS用の第1の信号電圧レベル変換回路LV0Nにも入力される。

すなわち、PMOSのNウエルには1系電源Vdd1（例えば3V）と同電位のVdd2（3V）が印加されると共に、NMOSのPウエルには1系電源Vss1（例えば0V）と同電位のVss2（0V）が印加される。

この様に、MOSトランジスタのソース電極とバックゲート電極に同電位の電

圧が印加された場合、MOSトランジスタのサブスレッショルド特性は、図32(a), 図32(b)に示される状態P1及びN1となり、この状態においてはMOSトランジスタの閾値電圧が絶対値で低く、ドレイン電流が大きい特性となる。

一方、チップ・イネーブル信号CEがローレベルの場合、半導体集積回路装置は待機時モードに設定され、第1, 第2の信号電圧レベル変換回路と、第1, 第2の論理回路あるいは第1, 第2の論理回路と第1, 第2の波形整形用インバータ回路により、前述したような信号形成を行ない、Nウエルの電位を制御する電圧 V_{nw} , Pウエルの電位を制御する電圧 V_{pw} が形成される。そして、前記Nウエルの電位を制御する電圧 V_{nw} , Pウエルの電位を制御する電圧 V_{pw} は、夫々機能モジュールに入力されるとともに、NMOS用及びPMOS用の基板バイアス制御回路に入力される。

すなわち、PMOSのNウエルには1系電源 V_{dd1} （例えば3V）よりも高電位の2系電源 V_{dd2} （例えば5V）が印加されると共に、NMOSのPウエルには1系電源 V_{ss1} （例えば0V）よりも低電位の2系電源 V_{ss2} （例えば-2V）が印加される。

この様に、PMOSのソース電極に対して高電位の電圧がバックゲート電極に印加され、NMOSのソース電極に対して低電位の電圧がバックゲート電極に印加されると、MOSトランジスタのサブスレッショルド特性は、図32(a), 図32(b)に示される状態P2, P3及びN2, N3となり、この状態においてはMOSトランジスタの閾値電圧が絶対値で高く、オフ電流が非常に小さい特性となる。

従って、半導体集積回路装置が動作モード時の場合は、高駆動型のMOSトランジスタ特性となり、逆に半導体集積回路装置が待機モード時の場合は、低消費電力型のMOSトランジスタ特性となる。

又、図26(b)は、チップ・イネーブル信号CEと半導体集積回路装置内で発生されたスリープ・モード制御信号SMまたはパワー・ダウン信号PDがセレクター回路SEL0に入力され、このセレクター回路SEL0からの出力信号が各信号電圧レベル変換回路LV1~3及びバッファ論理回路（あるいはバッファ

論理回路及び波形整形用インバータ回路) LOG 1~3 に夫々入力されることによって、半導体集積回路装置内の各機能モジュールを動作モード及び待機モードに各々切り替えるものである。そして、PMOS 及び NMOS のバックゲート電極の制御を、電圧 $V_{nw1} \sim 3$, 電圧 $V_{pw1} \sim 3$ を夫々の機能モジュールのウエルに供給し、前述したように、各機能モジュールごとに行なうものである。

この場合、PMOS 及び NMOS のバックゲート電極を各機能モジュールごとに制御することができるため、半導体集積回路装置の MOS トランジスタ構造は、図 27 (a) 又は図 27 (b) に示されるようになる。

図 27 (a) に示される機能モジュール内の MOS トランジスタ構造は、NMOS の P ウエルと PMOS の N ウエルの両方を半導体集積回路装置の基板から分離するために 3 重ウエル構造とされる。例えば、半導体集積回路装置の基板 SUB 1 が P⁻基板である場合は、NMOS を形成する P ウエル PWEL 1 を基板 SUB 1 から分離するため、N⁻にて形成されるバリッド層 VA が P ウエル PWEL 1 を囲む様に形成される。又、この N⁻バリッド層 VA は、N ウエル NWEL 1 とは異なる機能ブロックの N ウエルと共通電位とならない様に分離して形成される。

逆に、図示はしないが、半導体集積回路装置の基板 SUB 1 が N⁻基板である場合は、PMOS が形成される N ウエル NWEL 1 を基板 SUB 1 から分離するため、P⁻となるバリッド層 VA が N ウエル NWEL 1 を囲む様に形成される。又、この P⁻バリッド層 VA は、P ウエル PWEL 1 とは異なる機能ブロックの P ウエルと共通電位とならない様に分離して形成される。

図 27 (b) に示される機能モジュール内の MOS トランジスタ構造は、同様に NMOS の P ウエルと PMOS の N ウエルの両方を半導体集積回路装置の基板から分離するために 3 重ウエル構造とされる。例えば、半導体集積回路装置の基板 SUB 2 が P⁻基板である場合は、NMOS を形成する P ウエル PWEL 2 を基板 SUB 2 から分離するため、N ウエル NWEL 2 が P ウエル PWEL 2 より深く形成され、P ウエル PWEL 2 を囲む様に分離される。又、この N ウエル NWEL 2 は、他の異なる機能ブロックの N ウエルと共通電位とならない様に分離されて形成される。逆に、図示はしないが、半導体集積回路装置の基板 SUB 2 が N 基板の場合は、PMOS が形成される N ウエル NWEL 2 を基板 SUB 2 から

分離するため、PウエルPWE L 2がNウエルNWE L 2より深く形成され、前記NウエルNWE L 2を囲む様に分離される。又、このPウエルPWE L 2は、他の異なる機能ブロックのPウエルと共通電位とならない様に分離されて形成される。

以上述べた様に、本実施例の半導体集積回路装置によれば、電源配線及び接地配線の電位とは異なるPMOS、NMOSの各バックゲート電極制御用の新たな電源配線領域を確保し、効率良く配線レイアウトする配線ルールを提供することにより電源配線と信号配線のレイアウト設計を容易化すると共に、動作時の高速化と待機時の低消費電力化を同時に実現するという効果を有する。

<第14実施例>

図28には、本発明の第14実施例に関わる基板バイアス制御回路のブロック構成図、および機能モジュールを構成するMOSトランジスタの断面構造が示される。本実施例の半導体集積回路装置は、前述の第1～8実施例に記載のNMOS用及びPMOS用の基板バイアス制御回路のどちらか一方を用いて、半導体集積回路装置内の全機能モジュールに形成されたNMOSあるいはPMOSのいずれかについて、消費電力と速度をダイナミックに最適制御するものである。すなわち、動作モード時の場合は高駆動型のMOSトランジスタ特性を利用して動作させ、待機モード時の場合はPMOSあるいはNMOSのうちの一方のみが低消費電力型のMOSトランジスタ特性となるように構成したことを特徴とするものである。

前記基板バイアス制御回路においては、第1～12実施例に記載したように、第1金属配線層の一部（電源配線層Vdd1及び接地配線層Vss1）に供給される1系電源Vdd1及びVss1と同電位、もしくは異電位であって、かつ第2金属配線層（電源配線層Vdd2もしくは接地配線層Vss2）に供給される、2系電源Vdd2もしくはVss2のうちの一方が形成されるものである。すなわち、基板バイアス制御回路にて、全機能モジュールにおける、NMOSのPウエルに2系電源Vss2、または、PMOSのNウエルに2系電源Vdd2が供給されるものである。そして、NMOS用の基板バイアス制御回路にて2系電源Vss2が形成された場

合は、前記 2 系電源 V_{ss2} が全機能モジュールに供給されるのみでなく、PMOS 用の基板バイアス制御回路にも供給される。同様に、PMOS 用の基板バイアス制御回路にて 2 系電源 V_{dd2} が形成された場合は、前記 2 系電源 V_{dd2} が全機能モジュールに供給されるのみでなく、NMOS 用の基板バイアス制御回路にも供給される。

以下、図 28 (a) の基板バイアス制御回路からの機能モジュールへの電源供給について説明する。

本実施例においては、PMOS の N ウェルへ供給する 2 系電源 V_{dd2} のみを形成する基板バイアス制御回路について例を挙げて説明する。

本実施例の基板バイアス制御回路は、外部装置から入力されるチップ・イネーブル信号 CE が、PMOS 用の基板バイアス制御回路における第 2 の信号電圧レベル変換回路 LV4P に入力され、前記第 2 の信号電圧レベル変換回路 LV4P と接続された第 2 のバッファ論理回路あるいは第 2 のバッファ論理回路及び第 2 の波形整形用インバータ回路 LOG4P により 2 系電源 V_{dd2} の電位がコントロールされるものである。

チップ・イネーブル信号 CE がハイレベルとされることにより、半導体集積回路装置は動作モードに設定され、前記チップ・イネーブル信号 CE は PMOS 用の第 2 の信号電圧レベル変換回路 LV4P に入力され、その出力信号が、第 2 のバッファ論理回路（あるいは第 2 のバッファ論理回路及び第 2 の波形整形用インバータ回路）LOG4P に入力される。そして、前記 LOG4P により、半導体集積回路内の全機能モジュールに形成されている PMOS のバックゲート電極である N ウェルの電位を制御する電圧 V_{nw} が形成され、機能モジュールに入力される。さらに、P ウェルの電位を制御する電圧 V_{pw} （電源電圧 V_{dd2} ）は、P ウェルを介して、NMOS 用の第 1 の信号電圧レベル変換回路 LV4N にも入力される。

すなわち、PMOS 用の基板バイアス制御回路のみを用いているので、PMOS の N ウェルには 1 系電源 V_{dd1} （例えば 3 V）と同電位の 2 系電源 V_{dd2} （3 V）が印加される共に、NMOS の P ウェルは NMOS のソース電極と同じ 1 系電源 V_{ss1} （例えば 0 V）が印加される。

この様に、MOSトランジスタのソース電極とバックゲート電極に同電位の電圧が印加された場合、MOSトランジスタのサブスレッショルド特性は、図32(a)、図32(b)に示される状態P1及び状態N1となり、この状態においてMOSトランジスタの閾値電圧が絶対値で低く、ドレイン電流が大きい特性となる。

一方、チップ・イネーブル信号CEがローレベルの場合、半導体集積回路装置は待機モードに設定され、PMOS用の第2の信号電圧レベル変換回路と、第2のバッファ論理回路あるいは第2のバッファ論理回路と第2の波形整形用インバータ回路により、前述したような信号形成を行ない、Nウエルの電位を制御する電圧Vnw(電源電圧Vdd2)は、Nウエルを介して、夫々機能モジュールに入力されると共に、PMOS用の基板バイアス制御回路に入力される。

すなわち、PMOSのNウエルには1系電源Vdd1(例えば3V)よりも高電位のVdd2(例えば5V)が印加されると共に、NMOSのPウエルは前述の1系電源Vss1(0V)が印加される。

この様に、PMOSのソース電極に対して高電位の電圧がバックゲート電極に印加されると、PMOSのサブスレッショルド特性は、図32(a)に示される状態P2もしくはP3となり、この状態においては、NMOSのサブスレッショルド特性は変わらないが、PMOSトランジスタの閾値電圧だけ絶対値で高く、オフ電流が非常に小さい特性となる。

従って、半導体集積回路装置が動作モード時の場合は、高駆動型のMOSトランジスタ特性となり、逆に半導体集積回路装置が待機モード時の場合は、PMOSのみ低消費電力型のMOSトランジスタ特性となる。

又、図28(b)は、図26(b)と同様に、チップ・イネーブル信号CEと半導体集積回路装置内で発生されたスリープ・モード制御信号SMまたはパワー・ダウン信号PDがセレクター回路SEL1に入力され、このセレクター回路SEL1からの出力信号が各信号電圧レベル変換回路LV5~7及びバッファ論理回路(論理回路及び波形整形用インバータ回路)LOG5~7に夫々入力されることによって、半導体集積回路装置内の各機能モジュールを動作時モード及び待機時モードに各々切り替えるものである。そして、図28(b)は図28(a)

と同様に、半導体集積回路装置は、1系電源 V_{dd1} 及び V_{ss1} と、この1系電源 V_{dd1} とは同電位もしくは異電位である2系電源 V_{dd2} が形成される基板バイアス制御回路を具備している。ここでも、PMOSのバックゲート電位の制御を、電圧 $V_{nw1} \sim 3$ 、電圧 $V_{pw1} \sim 3$ を夫々の機能モジュールのウエルに供給し、前述したように、各機能モジュールごとに行なうものである。

以上述べたように、本実施例では、PMOS用基板バイアス制御回路を使用したPMOSのバックゲート電位の制御を行なうためのNウエルの電位の制御について例を挙げて説明したが、代わりにNMOS用基板バイアス制御回路を使用してNMOSのバックゲート電位の制御、すなわちPウエルの電位の制御を行なうことも可能である。又、この場合も前述したPMOS用基板バイアス制御回路に本発明を適用した場合と同様の作用効果を得ることができる。

この場合、PMOSのバックゲート電極の制御を、前述したように、各機能モジュールごとに制御することができるため、半導体集積回路装置のMOSトランジスタ構造は、図28(c)に示されるようになる。

図28(c)に示される機能モジュール内のMOSトランジスタ構造は、NMOSのPウエルとPMOSのNウエルの両方を半導体集積回路装置の基板から分離するための3重ウエル構造を必要としない。たとえば、半導体集積回路装置の基板SUB3がP⁻基板である場合、バックゲート電極が制御されるウエルはPMOSが形成されたNウエルIS5のみなので、図28(c)に示される半導体集積回路装置において、PウエルPWEL3とNウエルNWE L3の両方を半導体集積回路装置の基板から分離する必要がなくなる。

逆に、図28(c)に示される半導体集積回路装置において、基板SUB3がN⁻基板である場合は、1系電源 V_{dd1} 及び V_{ss1} と、この1系電源 V_{ss1} とは同電位もしくは異電位である2系電源 V_{ss2} が形成される基板バイアス制御回路を具備することによって、バックゲート電極が制御されるウエルはNMOSが形成されたPウエルPWEL3のみとなる。したがって、図28(c)に示される様にPウエルPWEL3とNウエルNWE L3の両方を半導体集積回路装置の基板から分離する必要がなくなる。

以上述べたように、本実施例の半導体集積回路装置によれば、電源配線及び接

地配線の電位とは異なるPMOS, NMOSの各バックゲート電極制御用の新たな電源配線をどちらか一方に限定することによって、MOSトランジスタ構造を変更せずに、動作時の高速化と待機時の低消費電力化を同時に実現するという効果を有する。

又、NMOS・PMOSの両方のバックゲートを制御するか、一方のMOSトランジスタのバックゲートを制御するかは、設計段階で、製品の仕様等によりいずれを選択することも可能である。たとえば、PMOSのみのバックゲートを制御する場合は、製造コストを低くすることができる。又、前記設計段階では、製品の仕様等により、バックゲート制御が必要な機能モジュールのみを選択し、前記機能モジュールのみにウェルを形成し、NMOS・PMOSの両方または一方のMOSトランジスタのバックゲートを制御することもできる。

＜第15実施例＞

図29には、本発明の第15実施例に係る半導体集積回路装置の電源配線レイアウトが示される。

図29(a)には、前述の第9～12実施例において、マトリクス状に配置された複数の基本セル群に供給されるMOSトランジスタのチャネル長方向に延長されて、第1金属配線層により形成された1系電源配線Vdd1及びVss1と、MOSトランジスタのチャネル幅方向に延長されて前記第1金属配線層よりも上層の第2金属配線層により形成された2系電源配線Vdd2及びVss2の電源配線レイアウトが示される。

一方、図29(b)には、1系電源配線Vdd1, Vss1に対して1系補助電源Vdd1', Vss1'、2系電源配線Vdd2, Vss2に対して2系補助電源Vdd2', Vss2'が配線レイアウトされたものが示されている。

前記1系補助電源配線Vdd1', Vss1'は、MOSトランジスタのチャネル幅方向に延長され、第2金属配線層により形成されるものであり、2系電源配線Vdd2及びVss2と同様に、MOSトランジスタのウェル電極上の配線グリッドに配置配線されるものである。

又、2系補助電源配線Vdd2', Vss2'は、MOSトランジスタのチャネル

長方向に延長され、第2金属配線層よりも上層の第3金属配線層により形成されるものであり、第3金属配線層による信号配線で使用されない配置グリッド上に配線されるものである。

前記1系補助電源配線及び2系電源配線は、外部から供給される1系及び2系の電位に対して、半導体集積回路装置内部、特に中心部での電圧降下を防止するものである。

<第16実施例と第17実施例>

図30には、本発明の第16実施例及び第17実施例に係わる半導体集積回路装置におけるMOSトランジスタの形成方法が示される。前述の第13～14実施例のNMOS用基板バイアス制御回路とPMOS用基板バイアス制御回路の両方もしくは何れか一方を用いて、半導体集積回路装置内に構成された機能モジュールの消費電力と速度をダイナミックに最適制御する場合、特に機能モジュールの高速化を重要視した半導体集積回路装置と、特に機能モジュールの低消費電力化を重要視した半導体集積回路装置では、MOSトランジスタの形成方法を明確に分けることが望ましい。

図30(a)に示される半導体集積回路装置は、本発明の第13実施例の半導体集積回路装置であり、特に機能モジュールの高速化を重要視した半導体集積回路装置である。

例えば、所定の機能モジュールを構成する機能モジュール形成領域と、前記機能モジュールの入出力信号を、外部装置とインターフェースする入出力回路形成領域（周辺回路形成領域）IOで構成された半導体集積回路装置は、高感度な入力回路や、高駆動能力の出力回路等が形成される入出力回路形成領域に形成されるMOSトランジスタの閾値電圧が、ノイズ対策、低消費電力の観点から、機能モジュール形成領域MOよりも、閾値電圧が絶対値で高い第1の閾値電圧 V_{th1} （例えば $\pm 0.7V$ ）にて形成される。

そして、高速化を重要視した機能モジュール形成領域MOに形成されるMOSトランジスタの閾値電圧は、入出力回路形成領域IOに形成されるMOSトランジスタの第1の閾値電圧 V_{th1} （例えば $\pm 0.7V$ ）よりも、絶対値で低い第2の閾値電圧 V_{th2} （例えば $\pm 0.3V$ ）にて形成される。

そして、機能モジュールMOが待機状態に設定されると、機能モジュール形成領域MOに形成されたMOSトランジスタのバックゲート電極が電位制御され、第2の閾値電圧 V_{th2} （例えば $\pm 0.3V$ ）よりも絶対値で高い第3の閾値電圧 V_{th3} （例えば第1の閾値電圧と同じ $\pm 0.7V$ ）に設定される。

図30（b）に示される半導体集積回路装置は、本発明の第14実施例の半導体集積回路装置であり、特に機能モジュールの低消費電力化を重要視した半導体集積回路装置である。例えば、所定の機能モジュールを構成する機能モジュール形成領域MOと、前記機能モジュールの入出力信号を、外部装置とインターフェースする入出力回路形成領域IOで構成された半導体集積回路装置は、高感度な入力回路や、高駆動能力の出力回路等が形成される入出力回路形成領域IOに形成されるMOSトランジスタの閾値電圧を、ノイズ対策、低消費電力の観点から閾値電圧が絶対値で高い第1の閾値電圧 V_{th1} （例えば $\pm 0.7V$ ）で形成している。

さらに、同様にして、低消費電力化を重要視した機能モジュール形成領域MOに形成されるMOSトランジスタの閾値電圧も、入出力回路形成領域IOに形成されるMOSトランジスタの第1の閾値電圧 V_{th1} （例えば $\pm 0.7V$ ）と同様に形成し、機能モジュールが待機状態に設定されると機能モジュール形成領域MOに形成されたMOSトランジスタのバックゲート電極が電位制御され、第1の閾値電圧 V_{th1} （例えば $\pm 0.7V$ ）よりも絶対値で更に高い第2の閾値電圧 V_{th2} （例えば $\pm 1.1V$ ）に設定される。

以上のように、本発明の半導体集積回路装置は、閾値電圧を基板バイアス制御回路により制御することで、MOSトランジスタのウェル電位を制御し、低消費電力にて、様々な仕様の製品を実現することを可能とするものであるが、機能モジュールとしては、たとえば、SRAM、ゲートアレイ等のデジタル系の集積回路に適用することができる。

請 求 の 範 囲

1. 第1導電型のトランジスタと、第2導電型のトランジスタとを具備した機能モジュールを有する半導体集積回路装置において、

ゲート電極に制御信号が印加されてオン／オフが制御され、かつソース電極が第1の電源よりも高電位の第2の電源に接続された第1の第1導電型のトランジスタと、

ゲート電極が前記制御信号の反転信号により制御され、前記第1の第1導電型のトランジスタとは排他的にオン／オフが制御され、かつソース電極が前記第2の電源に接続された第2の第1導電型のトランジスタと、

ソース電極が前記第1の電源よりも低電位の第3の電源に接続され、前記第2の第1導電型のトランジスタの動作および前記第1の第1導電型のトランジスタの動作に基づいてオン／オフが制御される第1の第2導電型のトランジスタと、

ソース電極が前記第3の電源に接続され、前記第1の第1導電型トランジスタの動作および前記第2の第1導電型のトランジスタの動作に基づいてオン／オフが制御される第2の第2導電型のトランジスタと、

前記第1の第1導電型のトランジスタと前記第1の第2導電型のトランジスタとの間に直列に接続されて介在し、ゲート電極が前記第1の電源に接続されると共に、ソース電極が前記第1の第1導電型のトランジスタのドレイン電極に接続された第3の第1導電型のトランジスタと、

前記第1の第1導電型のトランジスタと前記第1の第2導電型のトランジスタとの間に直列に接続されて介在し、ゲート電極が前記第1の電源に接続されると共に、ソース電極が前記第1の第2導電型のトランジスタのドレイン電極に接続され、ドレイン電極が前記第3の第1導電型のトランジスタのドレイン電極と接続された第3の第2導電型のトランジスタと、

前記第2の第1導電型のトランジスタと前記第2の第2導電型のトランジスタとの間に直列に接続されて介在し、ゲート電極が前記第1の電源に接続されると共に、ソース電極が前記第2の第1導電型のトランジスタのドレイン電極に接続

された第4の第1導電型のトランジスタと、

前記第2の第1導電型のトランジスタと前記第2の第2導電型のトランジスタとの間に直列に接続されて介在し、ゲート電極が前記第1の電源に接続されると共に、ソース電極が前記第2の第2導電型のトランジスタのドレイン電極に接続され、ドレイン電極が前記第4の第1導電型のトランジスタのドレイン電極と接続された第4の第2導電型のトランジスタとを含む第1の信号電圧レベル変換回路と、

前記第1の信号電圧レベル変換回路の出力信号をバッファリングして、前記機能モジュールを構成する第1導電型のトランジスタのバックゲート電極を制御する第1の論理回路と、を備えた基板バイアス制御回路を含み、

前記第1の信号電圧レベル変換回路において、前記第1の第2導電型のトランジスタのドレイン電極かつ前記第3の第2導電型のトランジスタのソース電極が、前記第2の第2導電型のトランジスタのゲート電極に接続され、前記第2の第2導電型のトランジスタのドレイン電極かつ前記第4の第2導電型のトランジスタのソース電極が、前記第1の第2導電型のトランジスタのゲート電極に接続され、前記第1の第2導電型のトランジスタと前記第2の第2導電型のトランジスタにてなるフィードバックループによりフリップフロップが形成された半導体集積回路装置。

2. 請求項1において、

前記基板バイアス制御回路は、前記第1, 第2, 第3, 且つ第4の第1導電型のトランジスタが同一領域の第2導電型のウエル領域に形成され、前記第2導電型のウエル領域におけるウエル電極が前記第2の電源もしくは前記第2の電源よりも高電位の第4の電源に接続され、前記第1, 第2, 第3, 且つ第4の第2導電型のトランジスタが同一領域の第1導電型のウエル領域に形成され、前記第1導電型のウエル電極が前記第3の電源に接続された前記第1の信号電圧レベル変換回路を有する半導体集積回路装置。

3. 請求項1または2において、

前記基板バイアス制御回路は、前記第 1 かつ第 2 の第 2 導電型のトランジスタが同一の領域の第 1 の第 1 導電型のウエル領域に形成され、前記第 1 の第 1 導電型ウエル領域のウエル電極が前記第 3 の電源に接続され、前記第 3 の第 2 導電型のトランジスタが第 2 の第 1 導電型のウエル領域に形成され、前記第 2 の第 1 導電型のウエル電極が前記第 3 の第 2 導電型のトランジスタのソース電極に接続され、前記第 4 の第 2 導電型のトランジスタが第 3 の第 1 導電型のウエル領域に形成され、前記第 3 の第 1 導電型のウエル領域のウエル電極が前記第 4 の第 2 導電型のトランジスタのソース電極に接続された前記第 1 の信号電圧レベル変換回路を有する半導体集積回路装置。

4. 請求項 1 乃至 3 のいずれかにおいて、

前記第 1 の信号電圧レベル変換回路は、前記第 3 及び第 4 の第 2 導電型のトランジスタのうち、少なくとも一方のチャネル長が、前記第 1 及び第 2 の第 2 導電型のトランジスタのチャネル長より短く形成されたものであること、前記第 3 及び第 4 の第 2 導電型のトランジスタの少なくとも一方のチャネル幅が、前記第 1 及び第 2 の第 2 導電型のトランジスタのチャネル幅よりも大きく形成されたものであること、および前記第 3 及び第 4 の第 2 導電型のトランジスタの少なくとも一方の閾値電圧が、前記第 1 及び第 2 の第 2 導電型のトランジスタの閾値電圧よりも絶対値で低く形成されたものであることのうちのいずれかの条件を満たす半導体集積回路装置。

5. 請求項 1 乃至 4 のいずれかにおいて、

前記第 1 の信号電圧レベル変換回路において、前記第 1 の第 2 導電型のトランジスタのドレイン電極と前記第 3 の第 2 導電型のトランジスタのソース電極と前記第 2 の第 2 導電型のトランジスタのゲート電極とが接続された前記第 1 の信号電圧レベル変換回路の第 1 の出力端子、もしくは前記第 2 の第 2 導電型のトランジスタのドレイン電極と前記第 4 の第 2 導電型のトランジスタのソース電極と前記第 1 の第 2 導電型のトランジスタのゲート電極とが接続された前記第 1 の信号電圧レベル変換回路の第 2 の出力端子は、前記第 1 の電源と前記第 3 の電源で論

理振幅が規定される前記第 1 の論理回路の入力端子に接続される半導体集積回路装置。

6. 請求項 5 において、

前記基板バイアス制御回路は、前記第 1 の電源と前記第 3 の電源で、論理振幅が規定される前記第 1 の論理回路の出力信号が、前記第 1 の信号電圧レベル変換回路と前記第 1 の論理回路が形成される領域ではなく、他の機能モジュール形成領域の第 1 導電型のウェル領域に接続され、前記機能モジュールを構成する第 2 導電型のトランジスタのバックゲート電極が電位制御される半導体集積回路装置。

7. 請求項 5 において、

前記基板バイアス制御回路は、前記第 1 の電源と前記第 3 の電源で、論理振幅が規定される前記第 1 の論理回路を構成する前記第 1 導電型のトランジスタのバックゲート電極が、前記第 2 の電源もしくは前記第 2 の電源よりも高電位の第 4 の電源と接続される半導体集積回路装置。

8. 請求項 5 において、

前記基板バイアス制御回路は、前記第 1 の電源と前記第 3 の電源で、論理振幅が規定される前記第 1 の論理回路を構成する前記第 1 導電型のトランジスタのバックゲート電極が、前記第 1 導電型のトランジスタのソース電極と同電位である前記第 1 の電源と接続される半導体集積回路装置。

9. 請求項 5 において、

前記基板バイアス制御回路は波形整形用の第 1 の反転論理回路を有し、前記第 1 の信号電圧レベル変換回路の第 1 の出力端子もしくは第 2 の出力端子に前記波形整形用の第 1 の反転論理回路の入力端子が接続され、前記第 1 の論理回路の入力端子に出力端子が接続され、前記第 1 の電源と前記第 3 の電源で論理振幅が規定され、且つ前記第 1 の論理回路を構成する第 1 導電型のトランジスタよりも大きいチャネル長、小さいチャネル幅および高い閾値電圧のうちのいずれかの条件

にて形成された第1導電型のトランジスタを含む波形整形用の第1の反転論理回路を有する半導体集積回路装置。

10. 第1導電型のトランジスタと、第2導電型のトランジスタとを具備した機能モジュールを有する半導体集積回路装置において、

ゲート電極に制御信号が印加されてオン／オフが制御され、かつソース電極が第1の電源に接続された第1の第2導電型のトランジスタと、

ゲート電極が前記制御信号の反転信号により制御されて前記第1の第2導電型のトランジスタとは排他的にオン／オフが制御され、かつソース電極が前記第1の電源に接続された第2の第2導電型のトランジスタと、

ソース電極が第4の電源に接続され、前記第2の第2導電型のトランジスタの動作および前記第1の第2導電型のトランジスタの動作に基づいてオン／オフが制御される第1の第1導電型のトランジスタと、

ソース電極が前記第4の電源に接続され、前記第1の第2導電型トランジスタの動作および前記第2の第2導電型のトランジスタの動作に基づいてオン／オフが制御される第2の第1導電型のトランジスタと、

前記第1の第2導電型のトランジスタと前記第1の第1導電型のトランジスタとの間に直列接続されて介在し、ゲート電極が前記第1の電源よりも高電位であり、且つ前記第4の電源よりも低電位の第2の電源に接続されると共に、ソース電極が前記第1の第2導電型のトランジスタのドレイン電極に接続された第3の第2導電型のトランジスタと、

前記第1の第2導電型のトランジスタと前記第1の第1導電型のトランジスタとの間に直列接続されて介在し、ゲート電極が前記第2の電源に接続されると共に、ソース電極が前記第1の第1導電型のトランジスタのドレイン電極に接続され、ドレイン電極が前記第3の第2導電型のトランジスタのドレインと接続された第3の第1導電型のトランジスタと、

前記第2の第2導電型のトランジスタと前記第2の第1導電型のトランジスタとの間に直列接続されて介在し、ゲート電極が前記第2の電源に接続されると共に、ソース電極が前記第2の第2導電型のトランジスタのドレイン電極に接続さ

れた第4の第2導電型のトランジスタと、

前記第2の第2導電型のトランジスタと前記第2の第1導電型のトランジスタとの間に直列接続されて介在し、ゲート電極が前記第2の電源に接続されると共に、ソース電極が前記第2の第1導電型のトランジスタのドレイン電極に接続され、ドレイン電極が前記第4の第2導電型のトランジスタのドレイン電極と接続された第4の第1導電型のトランジスタとを含む第2の信号電圧レベル変換回路と、

前記第2の信号電圧レベル変換回路の出力信号をバッファリングして、前記機能モジュールを構成する第2導電型のトランジスタのバックゲート電極を制御する第2の論理回路と、を備えた基板バイアス制御回路を含み、

前記第2の信号電圧レベル変換回路において、前記第1の第1導電型のトランジスタのドレイン電極と前記第3の第1導電型のトランジスタのソース電極が、前記第2の第1導電型のトランジスタのゲート電極に接続され、前記第2の第1導電型のトランジスタのドレイン電極と前記第4の第1導電型のトランジスタのソース電極が前記第1の第1導電型のトランジスタのゲート電極に接続され、前記第1の第1導電型のトランジスタと前記第2の第1導電型のトランジスタにてなるフィードバックループによりフリップフロップが形成された半導体集積回路装置。

11. 請求項10において、

前記基板バイアス制御回路は、前記第1, 第2, 第3, および第4の第1導電型のトランジスタが同一領域の第2導電型のウエル領域に形成され、前記第2導電型のウエル領域におけるウエル電極が前記第4の電源に接続され、前記第1, 第2, 第3, および第4の第2導電型のトランジスタが同一領域の第1導電型ウエル領域に形成され、前記第1導電型のウエル領域におけるウエル電極が前記第1の電源もしくは前記第1の電源よりも低電位の第3の電源に接続された前記第2の信号電圧レベル変換回路を有する半導体集積回路装置。

12. 請求項10または11において、

前記基板バイアス制御回路は、前記第 1 且つ第 2 の第 1 導電型のトランジスタが同一領域の第 1 の第 2 導電型のウエル領域に形成され、前記第 1 の第 2 導電型のウエル領域のウエル電極が前記第 4 の電源に接続され、前記第 3 の第 1 導電型のトランジスタが第 2 の第 2 導電型のウエル領域に形成され、前記第 2 の第 2 導電型のウエル領域のウエル電極が前記第 3 の第 1 導電型のトランジスタのソース電極に接続され、前記第 4 の第 1 導電型トランジスタが第 3 の第 2 導電型のウエル領域に形成され、前記第 3 の第 2 導電型のウエル領域のウエル電極が前記第 4 の第 1 導電型のトランジスタのソース電極に接続された前記第 2 の信号電圧レベル変換回路を有する半導体集積回路装置。

13. 請求項 10 乃至 12 のいずれかにおいて、

前記第 2 の信号電圧レベル変換回路は、前記第 3 及び第 4 の第 1 導電型のトランジスタのうち、少なくとも一方のチャネル長が、前記第 1 及び第 2 の第 1 導電型のトランジスタのチャネル長より短く形成されたものであること、前記第 3 及び第 4 の第 1 導電型のトランジスタの少なくとも一方のチャネル幅が、前記第 1 及び第 2 の第 1 導電型のトランジスタのチャネル幅よりも大きく形成されたものであること、および前記第 3 及び第 4 の第 1 導電型のトランジスタの少なくとも一方の閾値電圧が、前記第 1 及び第 2 の第 1 導電型のトランジスタの閾値電圧よりも絶対値で低く形成されたものであることのうちのいずれかの条件を満たす半導体集積回路装置。

14. 請求項 10 乃至 12 のいずれかにおいて、

前記第 2 の信号電圧レベル変換回路において、前記第 1 の第 1 導電型のトランジスタのドレイン電極と前記第 3 の第 1 導電型のトランジスタのソース電極と前記第 2 の第 1 導電型のトランジスタのゲート電極とが接続された前記第 2 の信号電圧レベル変換回路の第 1 の出力端子、もしくは前記第 2 の第 1 導電型のトランジスタのドレイン電極と前記第 4 の第 1 導電型のトランジスタのソース電極と前記第 1 の第 1 導電型のトランジスタのゲート電極とが接続された前記第 2 の信号電圧レベル変換回路の第 2 の出力端子は、前記第 4 の電源と、前記第 2 の電源で

論理振幅が規定される前記第 2 の論理回路の入力端子に接続される半導体集積回路装置。

15. 請求項 14 において、

前記基板バイアス制御回路は、前記第 4 の電源と前記第 2 の電源で、論理振幅が規定される前記第 2 の論理回路の出力信号が、前記第 2 の信号電圧レベル変換回路と前記第 2 の論理回路が形成される領域ではなく他の機能モジュール形成領域の第 2 導電型のウエル領域に接続され、前記機能モジュールを構成する第 1 導電型のトランジスタのバックゲート電極が電位制御される半導体集積回路装置。

16. 請求項 14 において、

前記基板バイアス制御回路は、前記第 4 の電源と前記第 2 の電源で、論理振幅が規定される前記第 2 の論理回路を構成する前記第 2 導電型のトランジスタのバックゲート電極は、前記第 1 の電源もしくは前記第 1 の電源よりも絶対値で低電位の第 3 の電源と接続される半導体集積回路装置。

17. 請求項 14 において、

前記基板バイアス制御回路は、前記第 4 の電源と前記第 2 の電源で、論理振幅が規定される前記第 2 の論理回路を構成する前記第 2 導電型のトランジスタのバックゲート電極は、前記第 2 導電型のトランジスタのソース電極と同電位である前記第 2 の電源に接続される半導体集積回路装置。

18. 請求項 14 において、

前記第 2 の信号電圧レベル変換回路の第 1 の出力端子もしくは第 2 の出力端子に入力端子が接続され、前記第 2 の論理回路の入力端子に出力端子が接続され、前記第 4 の電源と前記第 2 の電源で論理振幅が規定され、かつ前記第 2 の論理回路を構成する第 2 導電型のトランジスタよりも大きいチャネル長、小さいチャネル幅および高い閾値電圧のうちのいずれかの条件にて形成された第 2 導電型のトランジスタによる波形整形用の第 2 の反転論理回路を有する半導体集積回路装置。

19. 請求項1または10において、

前記第1の論理回路または前記第2の論理回路は、入力側に形成された駆動能力の小さい論理回路と、駆動能力の大きい論理回路とが接続されて形成される半導体集積回路装置。

20. 請求項1乃至18のいずれかにおいて、

前記半導体集積回路装置が第2導電型の基板上に形成され、前記第1の信号電圧レベル変換回路、前記第1の論理回路、もしくは前記第1の信号電圧レベル変換回路、前記第1の論理回路、前記第1の反転論理回路により、前記第1の信号電圧レベル変換回路、前記第1の論理回路、もしくは前記第1の信号電圧レベル変換回路、前記第1の論理回路、前記第1の反転論理回路が形成される領域ではなく他の機能モジュール形成領域である第1導電型のウエル領域内に形成された第2導電型のトランジスタのバックゲート電極のみが電位制御される半導体集積回路装置。

21. 請求項1乃至18のいずれかにおいて、

前記半導体集積回路装置が第1導電型の基板上に形成され、前記第2の信号電圧レベル変換回路、前記第2の論理回路もしくは前記第2の信号電圧レベル変換回路、前記第2の論理回路、前記第2の反転論理回路により、前記第2の信号電圧レベル変換回路、前記第2の論理回路もしくは前記第2の信号電圧レベル変換回路、前記第2の論理回路、前記第2の反転論理回路が形成される領域ではなく他の機能モジュール形成領域である第2導電型のウエル領域内に形成された第1導電型のトランジスタのバックゲート電極のみが電位制御される半導体集積回路装置。

22. 所定の機能モジュールを構成する機能モジュール形成領域と、前記機能モジュールの入出力信号を外部装置とインターフェースする入出力回路形成領域を含む周辺回路を有する半導体集積回路装置において、

前記周辺回路形成領域に設けられたトランジスタの閾値電圧が第1の閾値電圧

にて形成され、前記機能モジュール形成領域に設けられたトランジスタの閾値電圧は、前記周辺回路形成領域に設けられたトランジスタの前記第 1 の閾値電圧よりも絶対値で低い第 2 の閾値電圧にて形成され、前記機能モジュールが待機状態に設定されることにより、前記機能モジュール形成領域に具備されたトランジスタのバックゲート電極の電位が制御されて、前記第 2 の閾値電圧よりも絶対値で高い第 3 の閾値電圧に設定される半導体集積回路装置。

23. 所定の機能モジュールを構成する機能モジュール形成領域と、前記機能モジュールの入出力信号を外部装置とインターフェースする入出力回路形成領域を含む周辺回路を有する半導体集積回路装置において、前記機能モジュール領域と前記入出力回路形成領域に設けられたトランジスタの閾値電圧が第 1 の閾値電圧にて形成され、前記機能モジュールが待機状態に設定されることにより、前記機能モジュール形成領域に設けられたトランジスタのバックゲート電極の電位が制御され、前記第 1 の閾値電圧より絶対値で高い第 2 の閾値電圧に設定される半導体集積回路装置。

24. 第 1 導電型のトランジスタと、第 2 導電型のトランジスタにより構成される基本セルを具備し、配線変更により所定の機能回路を構成するためにマトリクス状に配置された複数の前記基本セル群により構成された機能モジュールと、前記基本セル群により構成された機能モジュールの周辺に配置された外部装置と入出力信号をインターフェースする入出力セル群を含む周辺回路とを有する半導体集積回路装置において、

前記複数の基本セル群に供給される電源は、第 1 金属配線層および該第 1 金属配線層よりも上層の第 2 金属配線層にて供給されるものであり、

前記第 1 及び前記第 2 導電型のトランジスタのチャネル長方向に延長された前記第 1 金属配線層にて、前記第 2 の電源と、前記第 2 の電源よりも低電位の第 1 の電源とを前記基本セル群に供給し、

前記第 1 及び前記第 2 導電型のトランジスタのチャネル幅方向に延長された前記第 2 金属配線層にて、前記第 2 の電源と同電位もしくは高電位の第 4 の電源と、

前記第 1 の電源と同電位もしくは低電位の第 3 の電源とを前記基本セル群に供給する半導体集積回路装置。

25. 請求項 24 において、

前記第 1 及び前記第 2 導電型のトランジスタのチャネル幅方向に延長された前記第 2 金属配線層にて形成された、前記第 3 の電源と前記第 4 の電源とを供給する電源配線は、前記第 1 及び前記第 2 導電型のトランジスタのチャネル幅方向の配線グリッド且つウエル電極上に配置配線される半導体集積回路装置。

26. 請求項 24 または 25 において、

前記第 2 金属配線層による第 1 導電型のトランジスタの第 2 導電型のウエル電極への前記第 4 の電源の給電は、接続孔、もしくは前記接続孔及び第 1 金属配線層を介して行われ、前記第 2 金属配線層による第 2 導電型のトランジスタの第 1 導電型のウエル電極への前記第 3 の電源の給電は、接続孔、もしくは接続孔と前記第 1 金属配線層を介して行われる半導体集積回路装置。

27. 請求項 24 において、

前記第 1 及び前記第 2 導電型のトランジスタが形成されたウエル電極に接続される前記接続孔は、前記基本セルに対して配線及び接続された、前記第 1 の電源用配線と前記第 2 の電源用配線の間配置されると共に、前記第 1 及び前記第 2 導電型のトランジスタのチャネル幅方向に隣接された配線グリッド上に、前記第 1 導電型のトランジスタのウエル電極とを前記第 1 の電源用配線と接続するための接続孔が配置され、前記第 1 及び前記第 2 導電型のトランジスタのチャネル幅方向に隣接された配線グリッド上に、前記第 2 導電型のトランジスタのウエル電極を前記第 2 の電源用配線と接続するための接続孔が配置される半導体集積回路装置。

28. 請求項 24 乃至 27 のいずれかにおいて、

前記半導体集積回路装置が第 1 導電型の基板上に形成され、前記第 1 の電源と

第2の電源が、前記第1及び前記第2導電型のトランジスタのチャネル長方向に延長された第1金属配線層にて供給され、且つ前記第4の電源を供給する電源配線のみが前記第1及び前記第2導電型のトランジスタのチャネル幅方向に延長された前記第2金属配線層により形成され、もしくは、

前記半導体集積回路装置が第2導電型の基板上に形成され、前記第1の電源と第2の電源が、前記第1及び前記第2導電型のトランジスタのチャネル長方向に延長された第1金属配線層にて供給され、且つ前記第3の電源を供給する電源配線のみが前記第1及び前記第2導電型のトランジスタのチャネル幅方向に延長された前記第2金属配線層により形成され、

前記第2導電型のトランジスタが形成された第1導電型のウエルまたは前記第1導電型のトランジスタが形成された第2導電型のウエルが半導体集積回路装置の基板と分離される半導体集積回路装置。

29. 第1導電型のトランジスタと第2導電型のトランジスタにより構成される基本セルを具備し、配線変更により所定の機能回路を構成するマトリクス状に配置された複数の前記基本セル群により構成された機能モジュールと、前記基本セル群により構成された機能モジュールの周辺に配置されて外部装置と入出力信号をインターフェースする入出力セル群を含む周辺回路とを有する半導体集積回路装置において、

前記複数の基本セル群に供給される電源は、第2の電源と前記第2の電源よりも低電位の第1の電源を、前記第1及び前記第2導電型のトランジスタのチャネル長方向に延長された第1金属配線層にて供給し、且つ前記第2の電源と同電位もしくは前記第2の電源よりも高電位の第4電源と、前記第1電源と同電位もしくは前記第1電源よりも低電位の第3電源と、前記第1の電源を補助する第1補助電源と、前記第2の電源を補助する第2補助電源とが、前記第1及び前記第2導電型のトランジスタのチャネル幅方向に延長されるとともに前記第1金属配線層よりも上層の第2金属配線層にて供給され、更に前記第3の電源を補助する第3補助電源と、前記第4電源を補助する第4補助電源とが前記第1及び前記第2導電型のトランジスタのチャネル長方向に延長され、かつ前記第2金属配線層よ

りも上層の第3の金属配線層にて供給される半導体集積回路装置。

30. 請求項29において、

前記第4の電源、前記第3の電源、前記第1補助電源、前記第2補助電源は、前記第1及び前記第2導電型のトランジスタのチャネル幅方向に延長された前記第2金属配線層にて形成される電源配線および補助電源配線により前記基本セル群に供給され、前記電源配線は前記第1及び前記第2導電型のトランジスタのチャネル幅方向の配線グリッド且つウエル電極上に配置配線される半導体集積回路装置。

31. 請求項29において、

前記第1及び前記第2導電型のトランジスタのチャネル幅方向に延長されて形成された前記第2金属配線層にて供給される前記第1補助電源及び前記第2補助電源は、接続孔を介して、前記第1の電源及び前記第2の電源が供給される前記第1金属配線層と接続されると共に、前記第1及び前記第2導電型のトランジスタのチャネル長方向に延長された前記第3金属配線層にて供給される前記第3補助電源及び前記第4補助電源は、接続孔を介して、前記第3の電源及び第4の電源が供給される前記第2金属配線層と接続される半導体集積回路装置。

32. 請求項29乃至31のいずれかにおいて、

前記半導体集積回路装置が第1導電型の基板上に形成され、前記第1の電源と第2の電源が、前記第1及び前記第2導電型のトランジスタのチャネル長方向に延長された第1金属配線層にて供給され、且つ前記第4の電源、前記第1補助電源、前記第2補助電源のみが前記第1及び前記第2導電型のトランジスタのチャネル幅方向に延長された前記第2金属配線層にて供給され、更に前記第4補助電源のみが、前記第1及び前記第2導電型のトランジスタのチャネル長方向に延長された第3金属配線層にて供給され、もしくは、

前記半導体集積回路装置が第2導電型の基板上に形成され、前記第1の電源と第2の電源が、前記第1及び前記第2導電型のトランジスタのチャネル長方向に

延長された第 1 金属配線層にて供給され、且つ前記第 3 の電源、前記第 1 補助電源、前記第 2 補助電源のみが、前記第 1 及び前記第 2 導電型のトランジスタのチャンネル幅方向に延長された前記第 2 金属配線層にて供給され、

更に前記第 3 補助電源のみが前記第 1 及び前記第 2 導電型のトランジスタのチャンネル長方向に延長された前記第 3 金属配線層にて供給される半導体集積回路装置。

3 3 . 請求項 2 5 乃至 3 2 のいずれかにおいて、

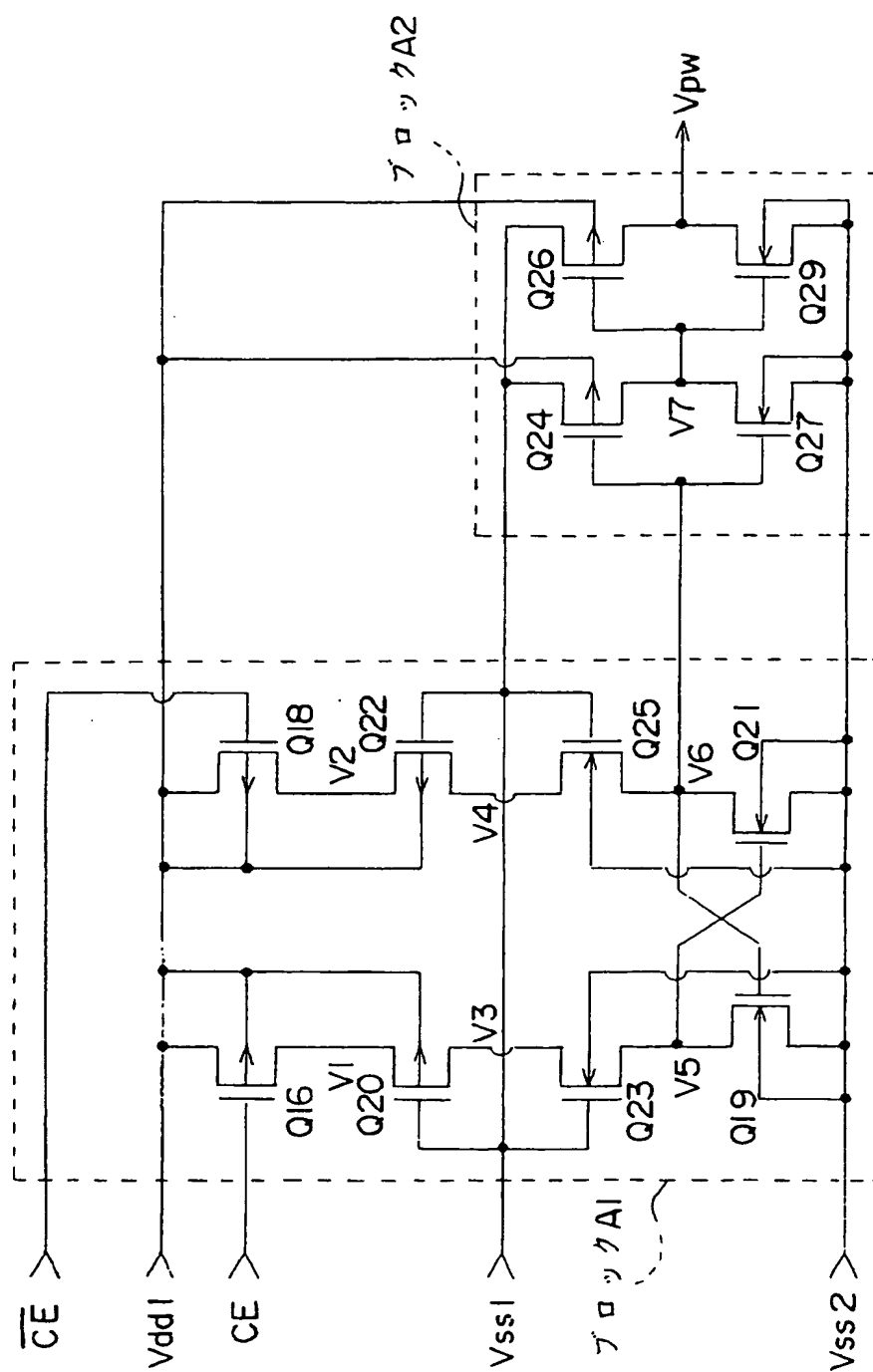
前記第 1 及び前記第 2 導電型のトランジスタのチャンネル幅方向に延長された前記第 2 金属配線層にて供給される前記第 3 の電源と前記第 4 の電源、もしくは前記第 2 金属配線層で供給される前記第 3 の電源及び前記第 4 の電源、且つ前記第 1 及び前記第 2 導電型のトランジスタのチャンネル長方向に延長された第 3 金属配線層にて供給される前記第 3 補助電源と、前記第 4 補助電源は、外部装置より入力されるチップ・イネーブル信号、又は外部装置あるいは半導体集積回路装置内部にて形成されるスリープ・モード制御信号により電位が制御される半導体集積回路装置。

3 4 . 請求項 2 5 乃至 3 3 のいずれかにおいて、

前記第 1 及び前記第 2 導電型のトランジスタのチャンネル幅方向に延長された前記第 2 金属配線層にて供給される前記第 3 の電源と前記第 4 の電源、もしくは前記第 1 及び前記第 2 導電型のトランジスタのチャンネル長方向に延長された前記第 3 金属配線層にて供給される前記第 3 補助電源と、前記第 4 補助電源は、前記半導体集積回路装置内の各機能モジュールごとに各電源配線もしくは各補助電源配線が分離され、且つ外部装置より入力されるチップ・イネーブル信号、又は外部装置あるいは半導体集積回路装置内部で形成されるスリープ・モード制御信号がセレクター回路に入力される半導体集積回路装置。

1 / 3 7

FIG. 1



2 / 3 7

FIG. 2

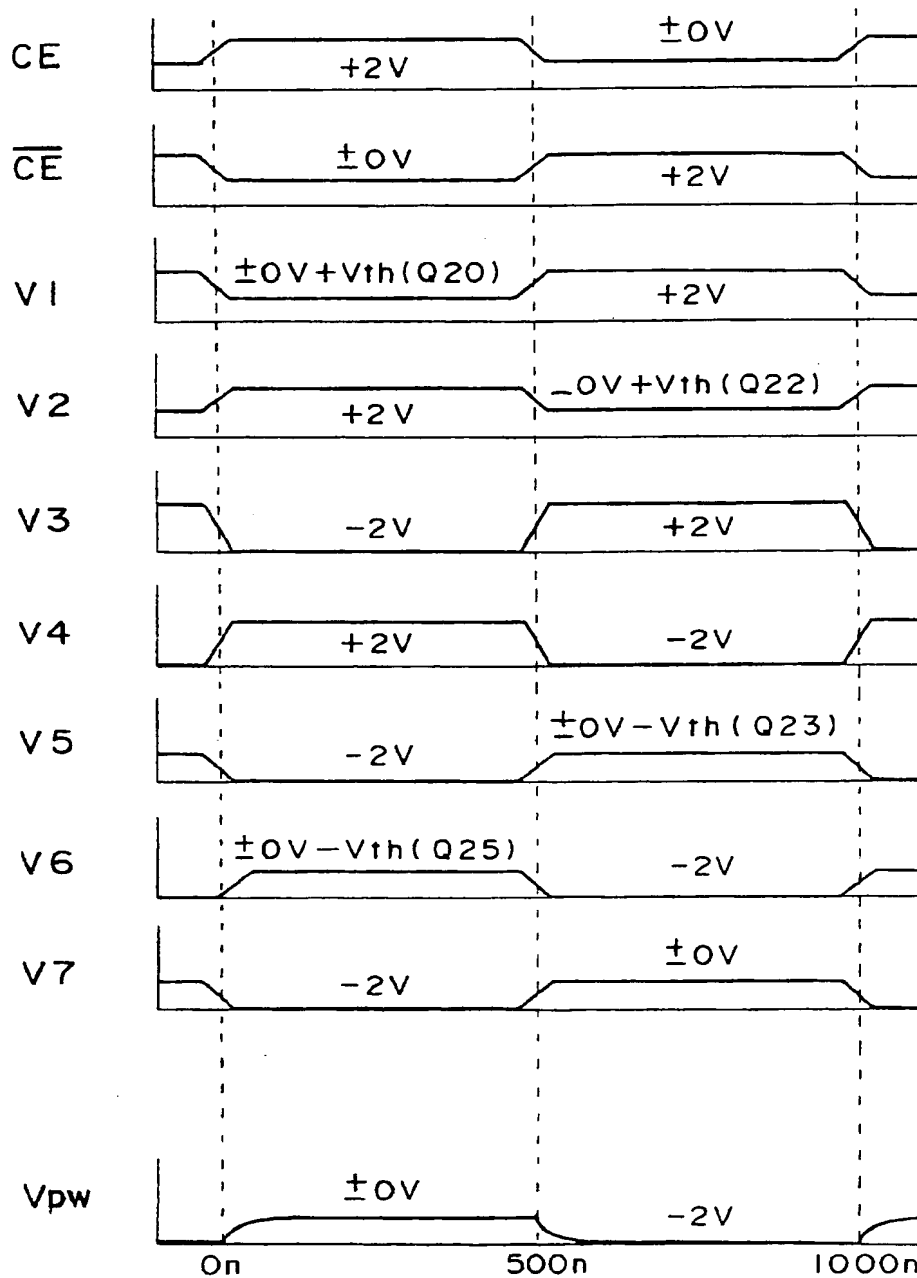
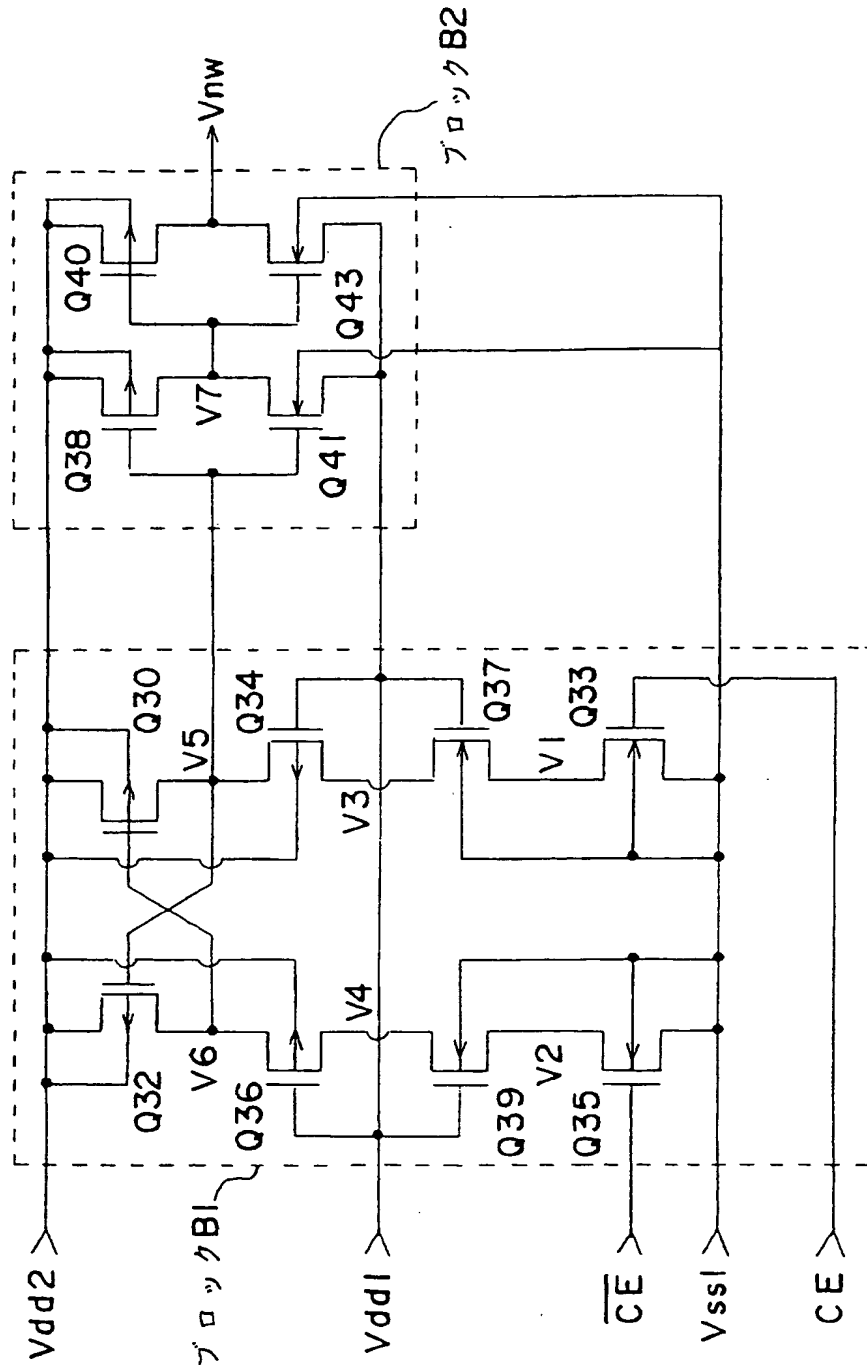
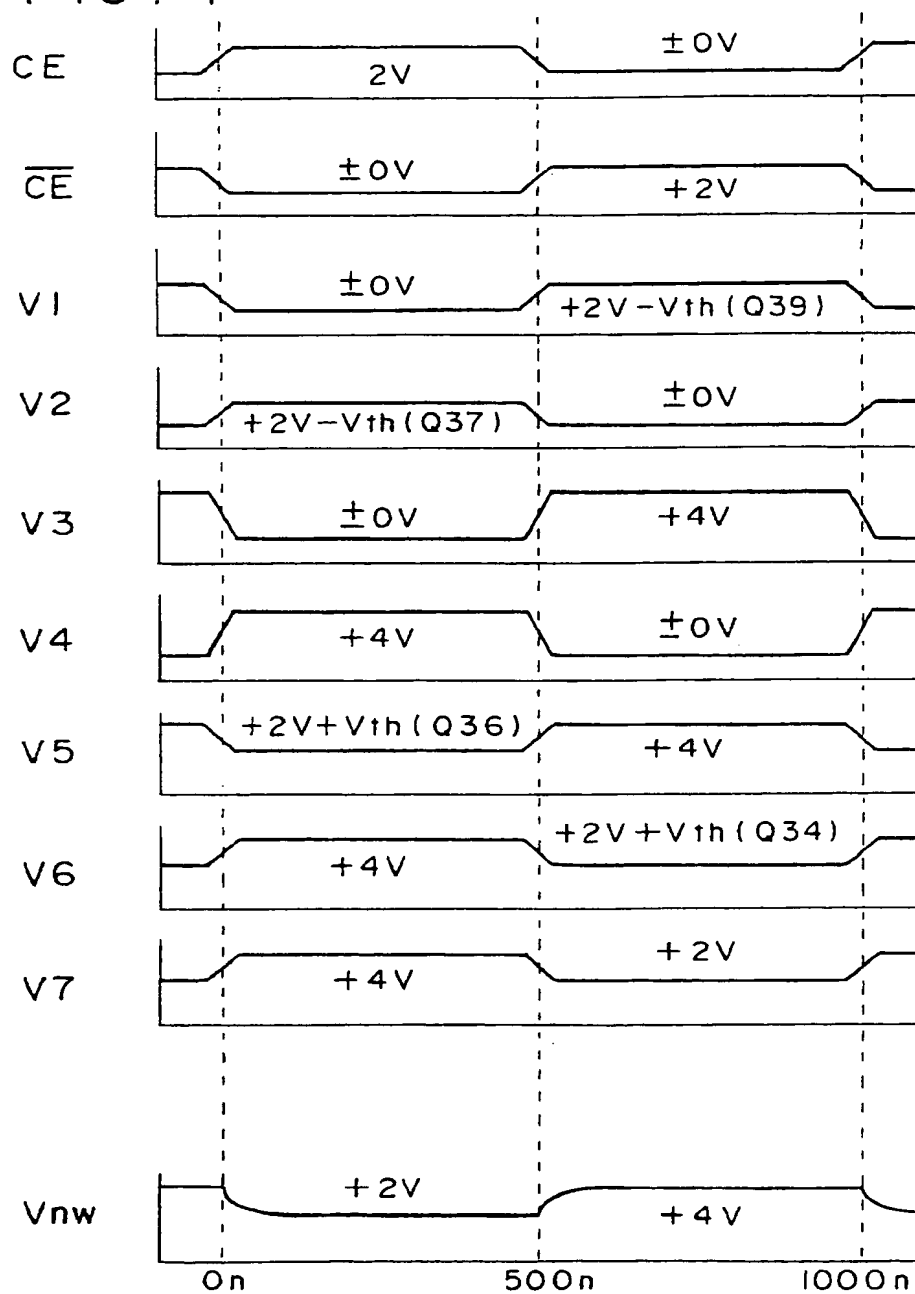


FIG. 3



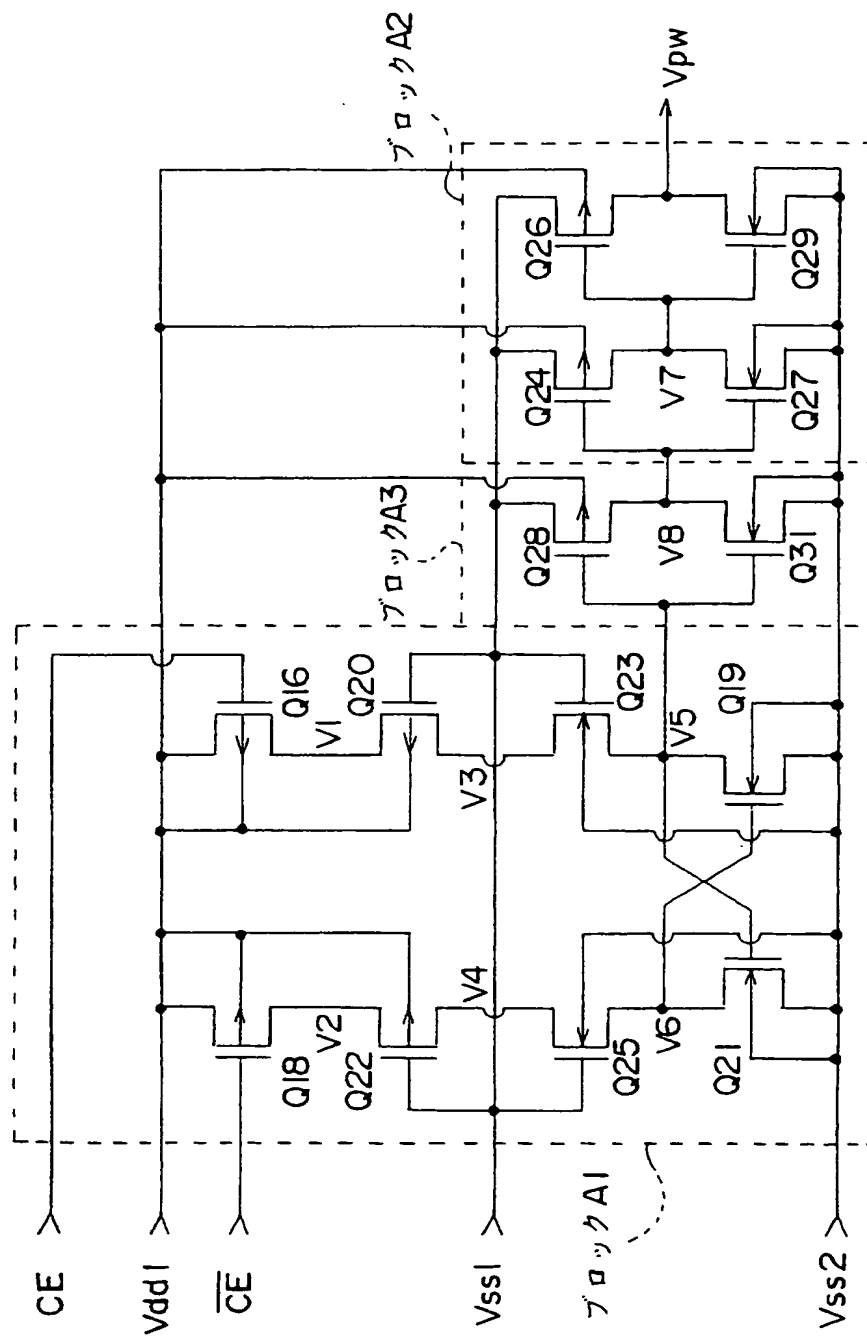
4 / 3 7

FIG. 4



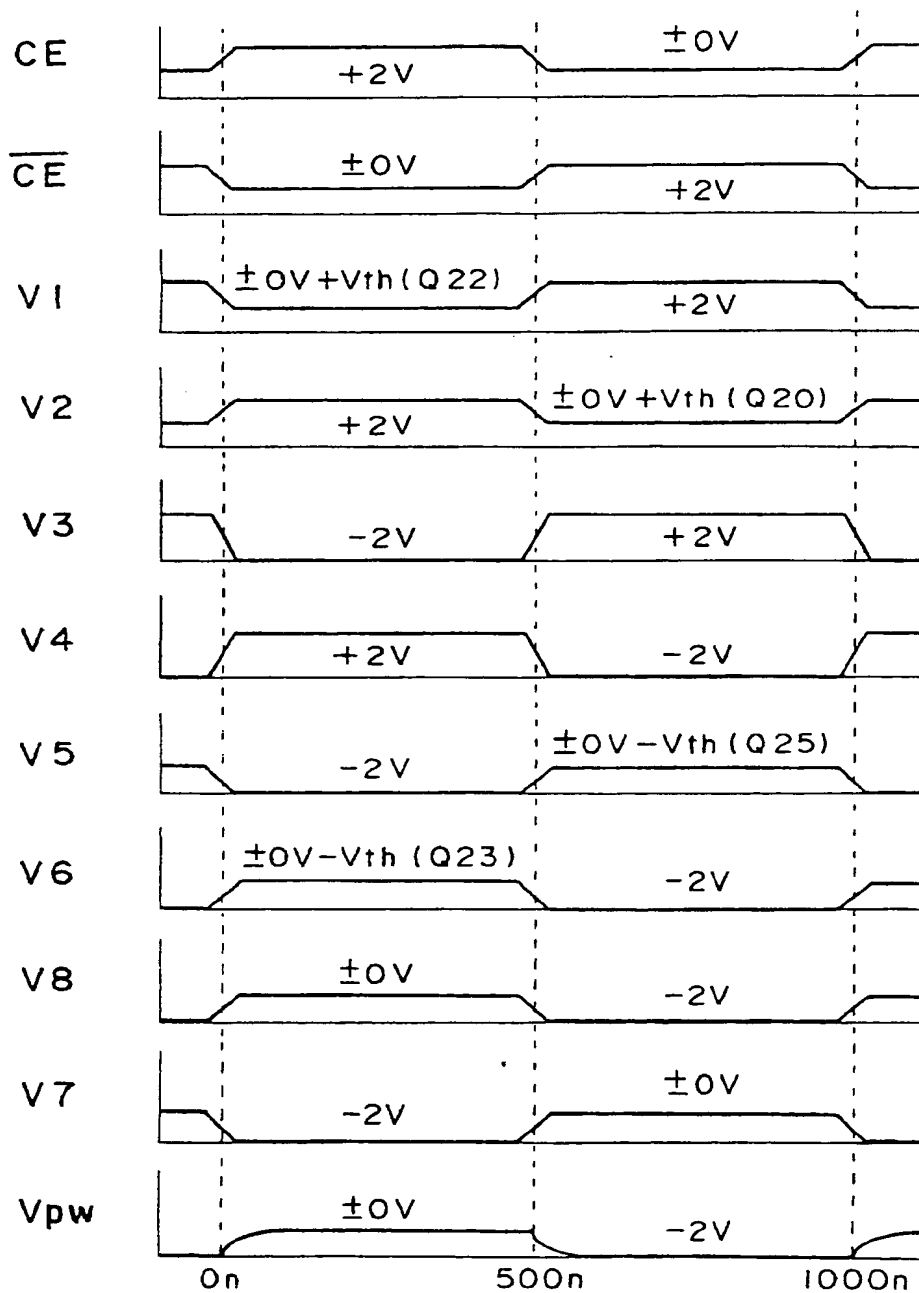
5 / 3 7

FIG. 5



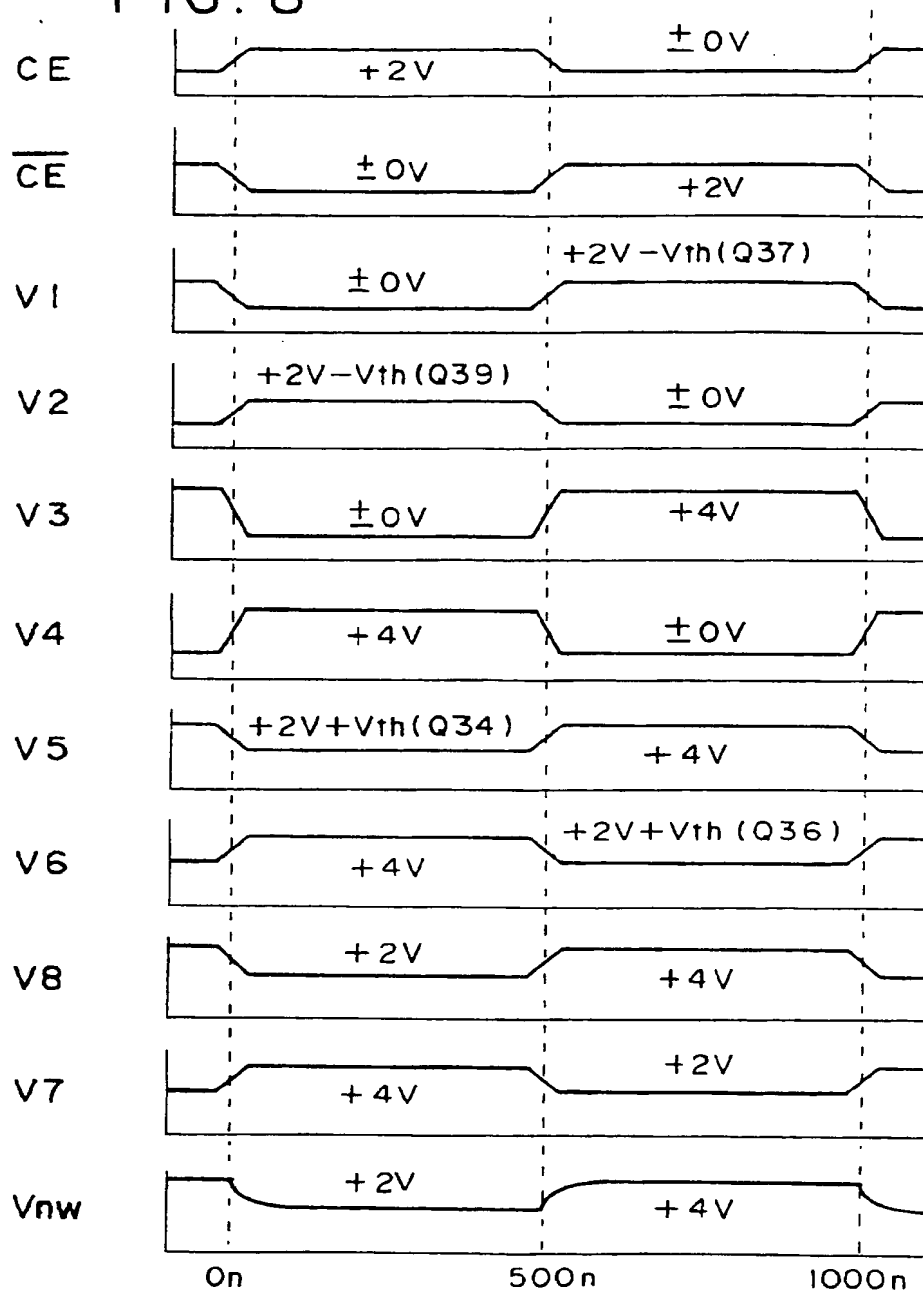
6 / 3 7

FIG. 6



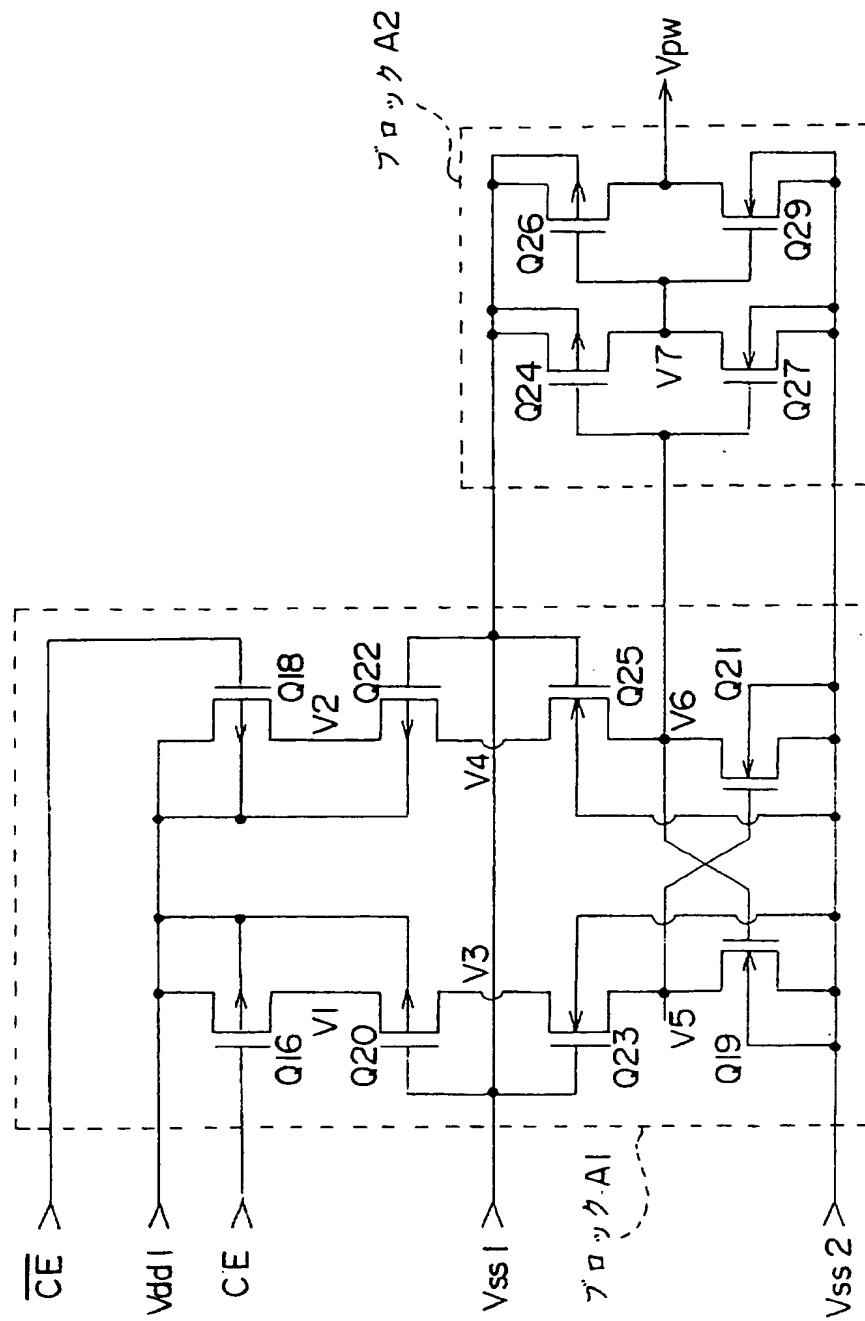
8 / 3 7

FIG. 8



9 / 3 7

FIG. 9



1 0 / 3 7

FIG. 10

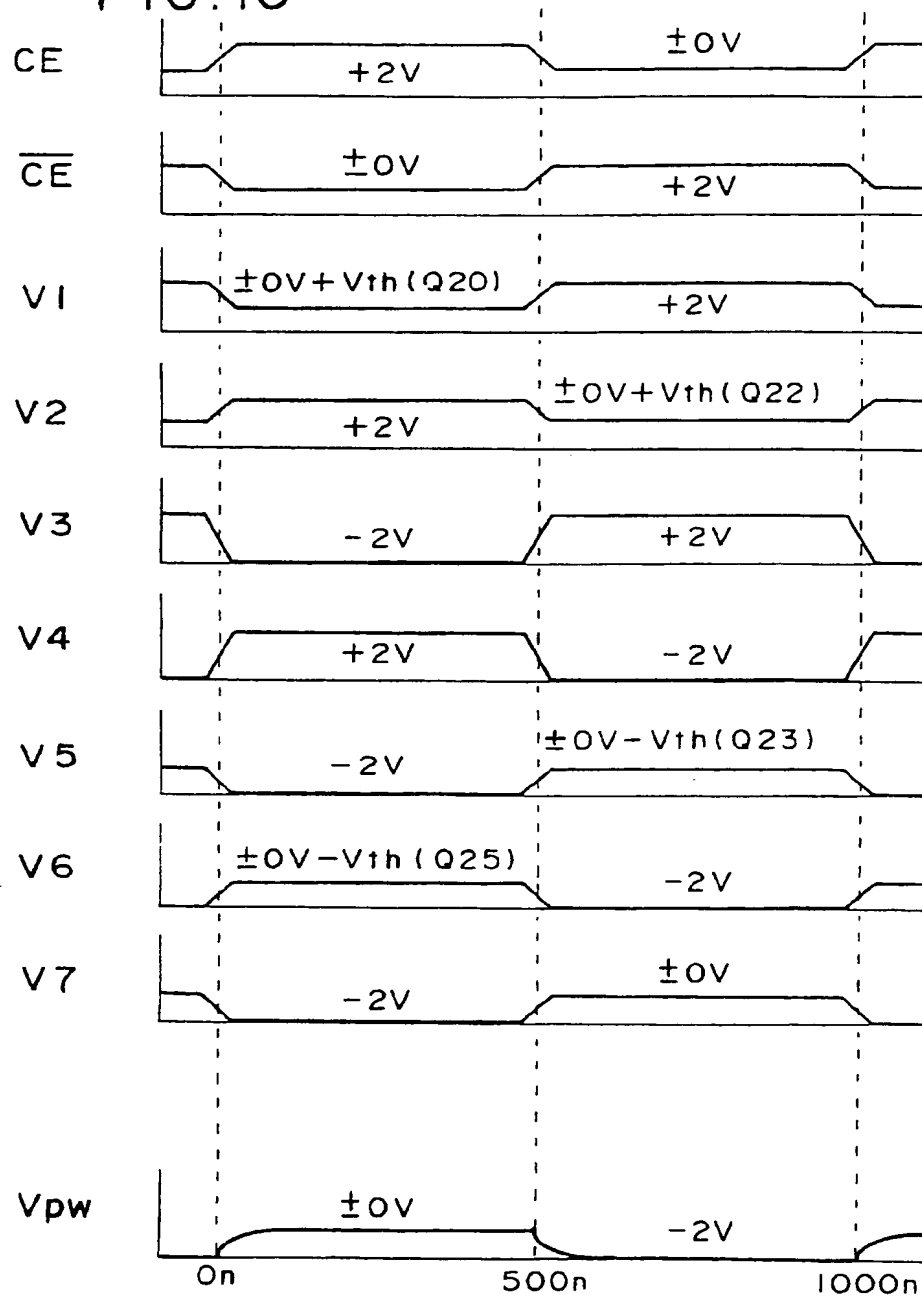
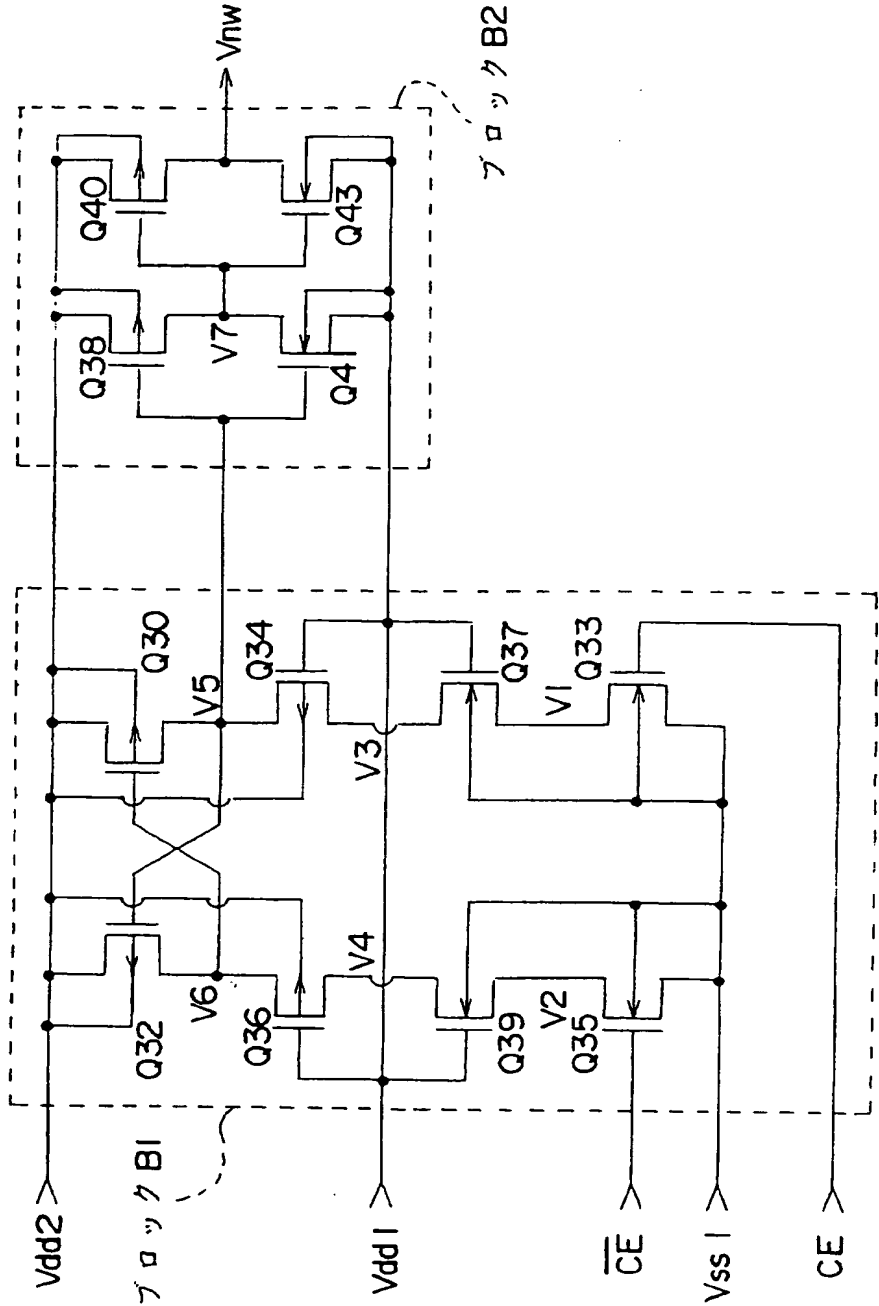
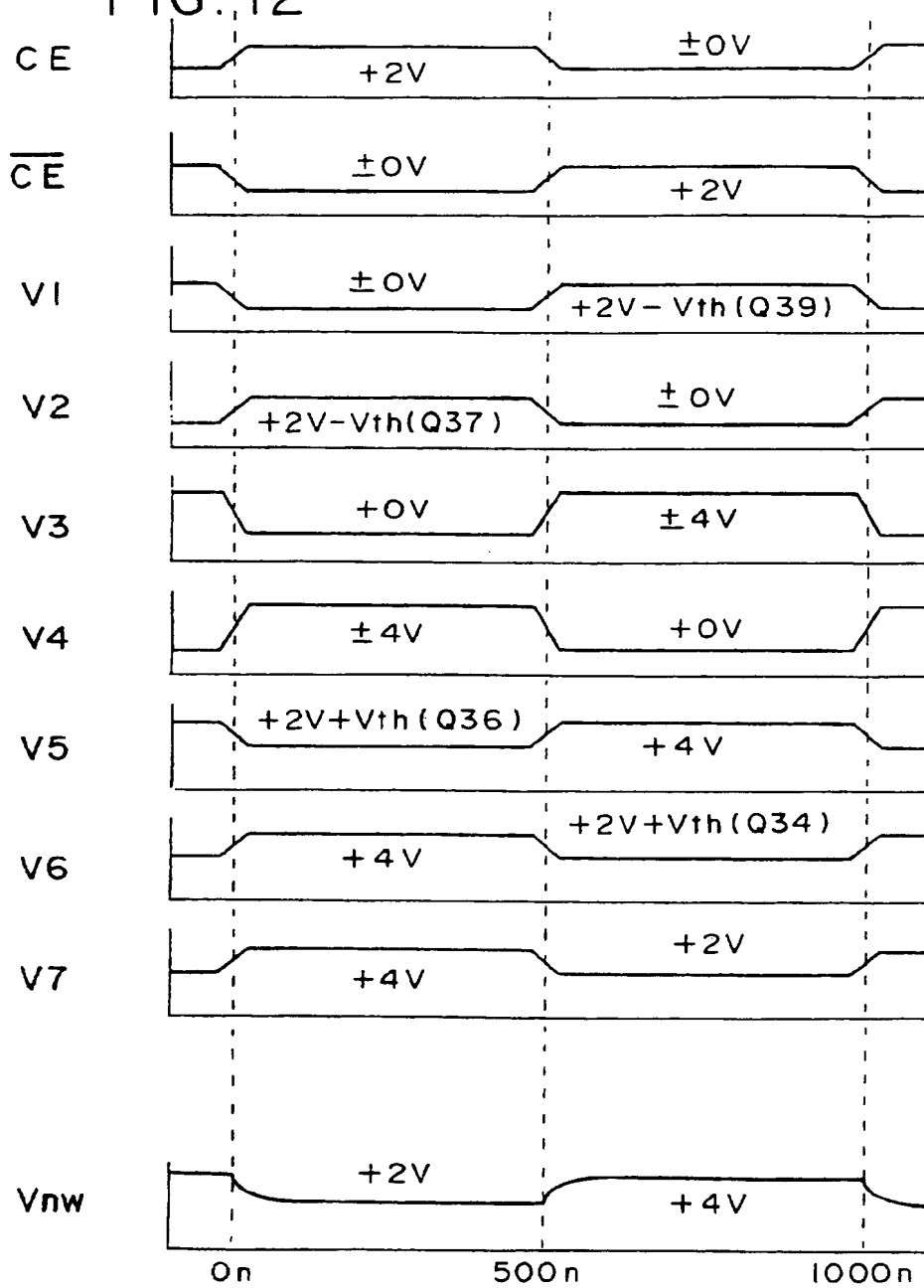


FIG. 11



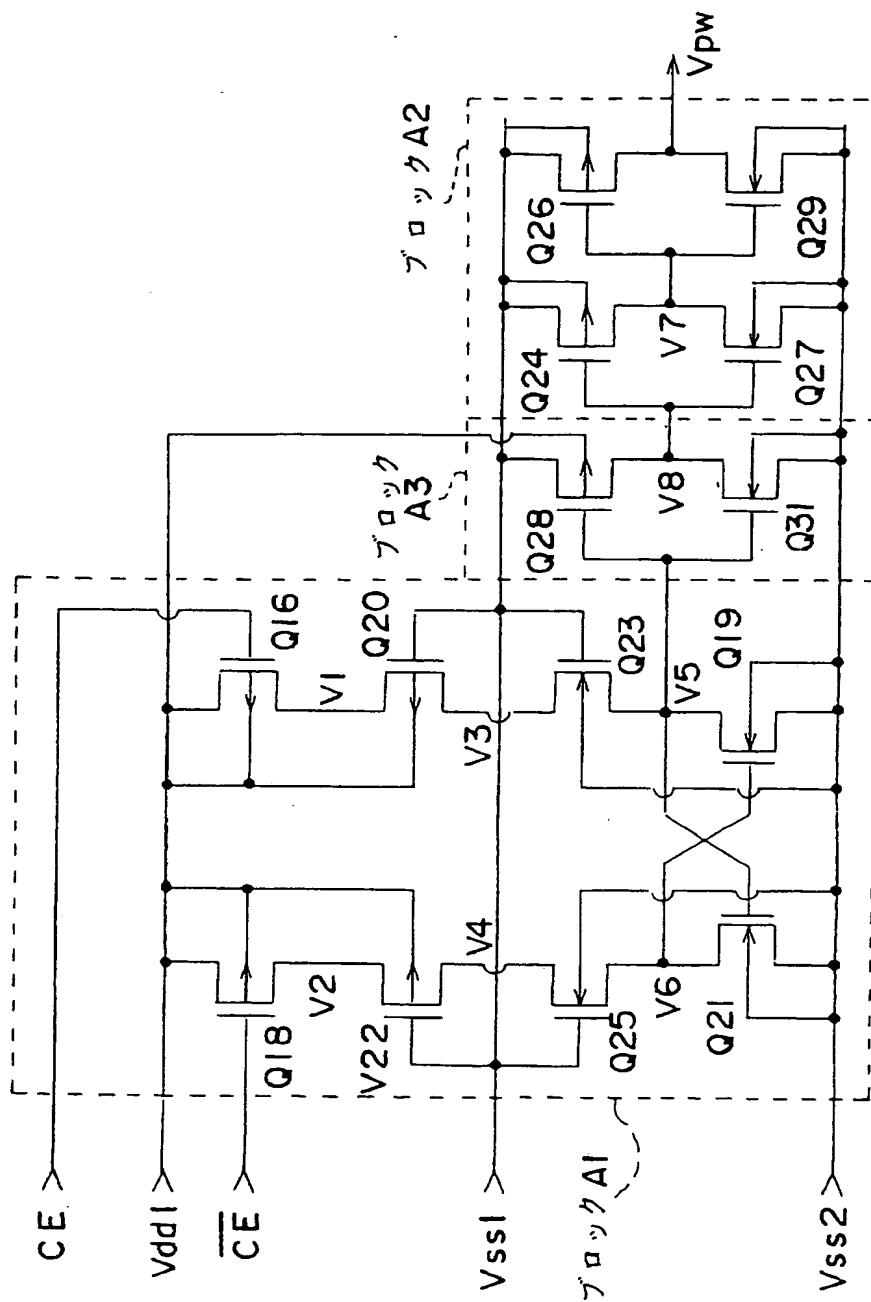
1 2 / 3 7

FIG. 12



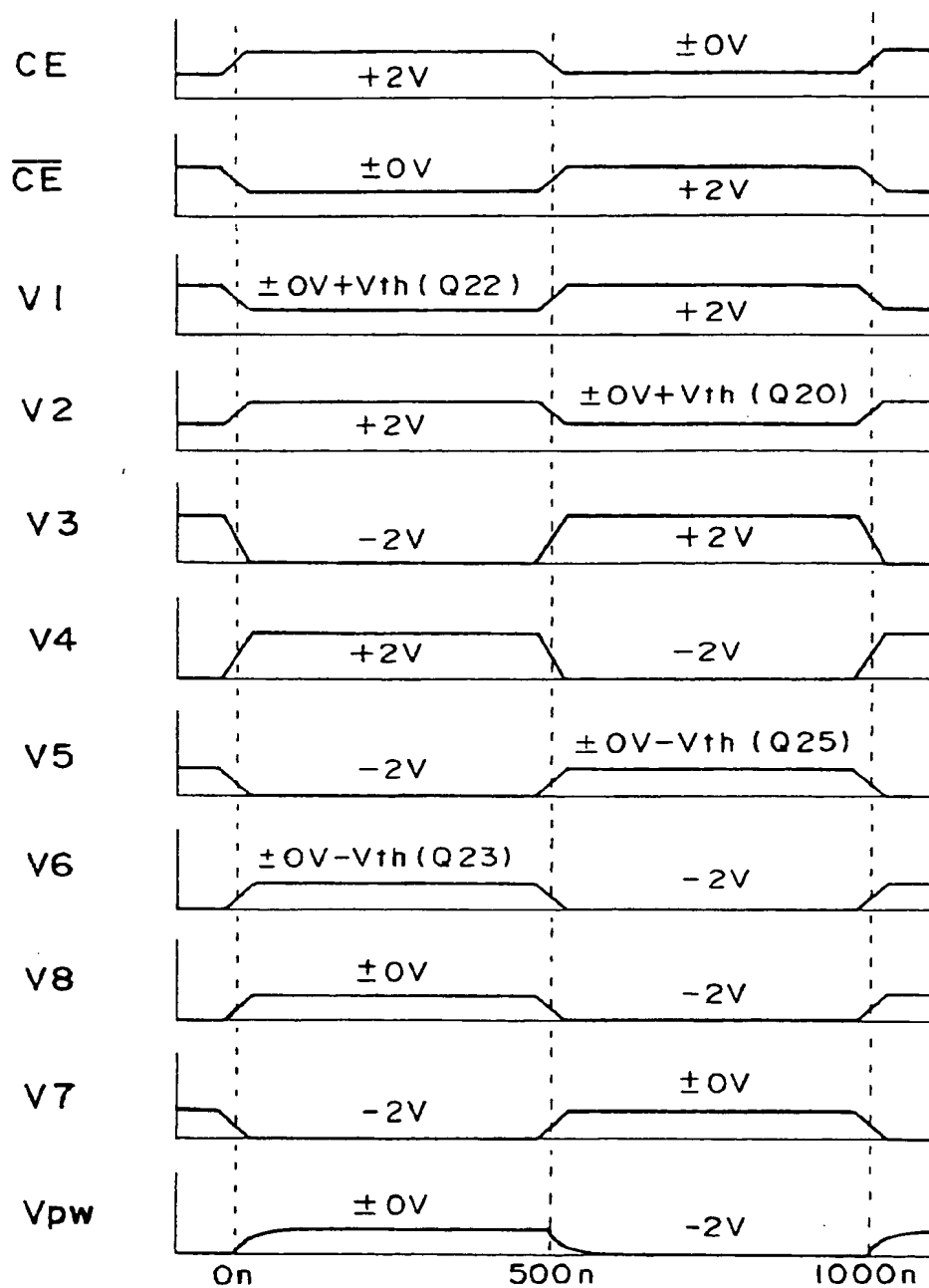
1 3 / 3 7

FIG.13



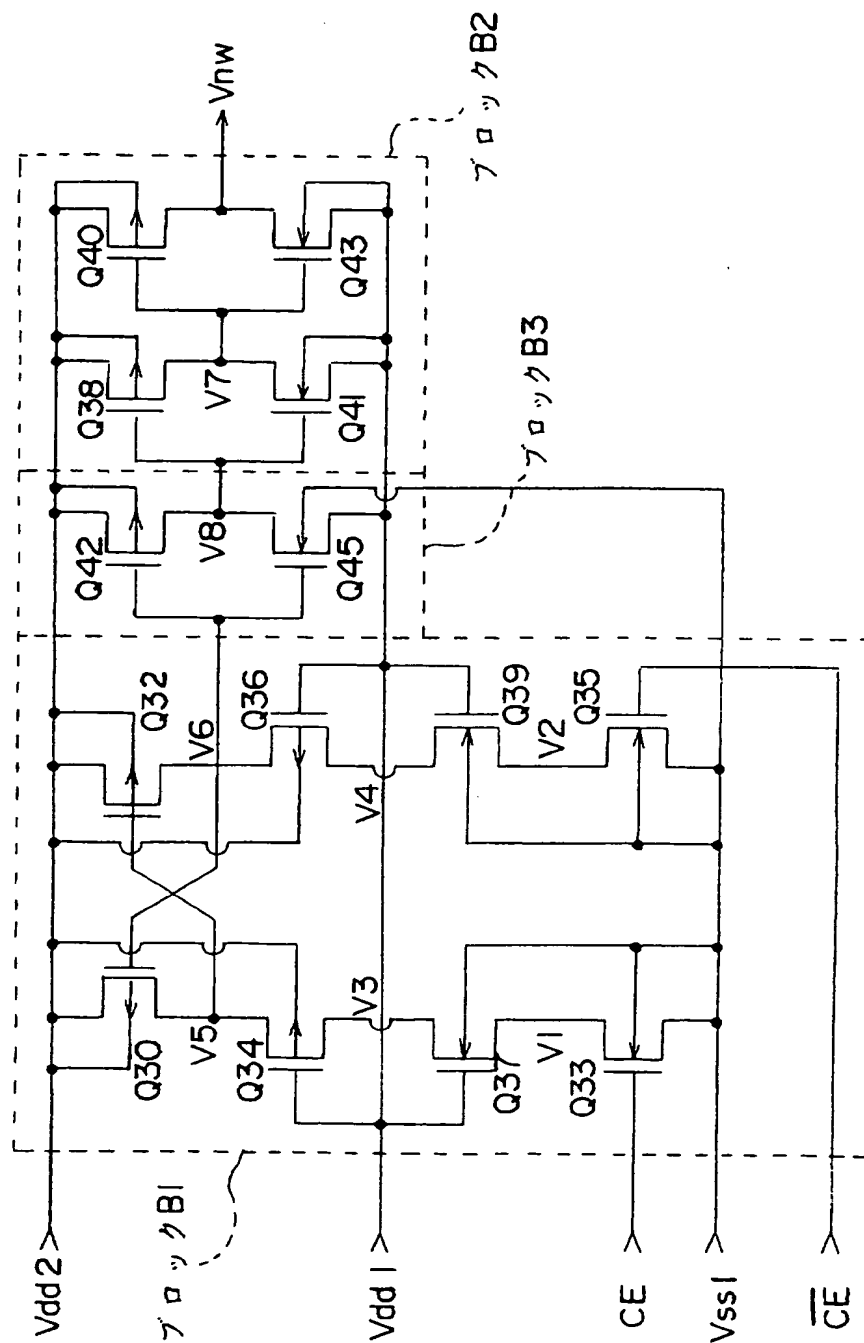
1 4 / 3 7

FIG. 14



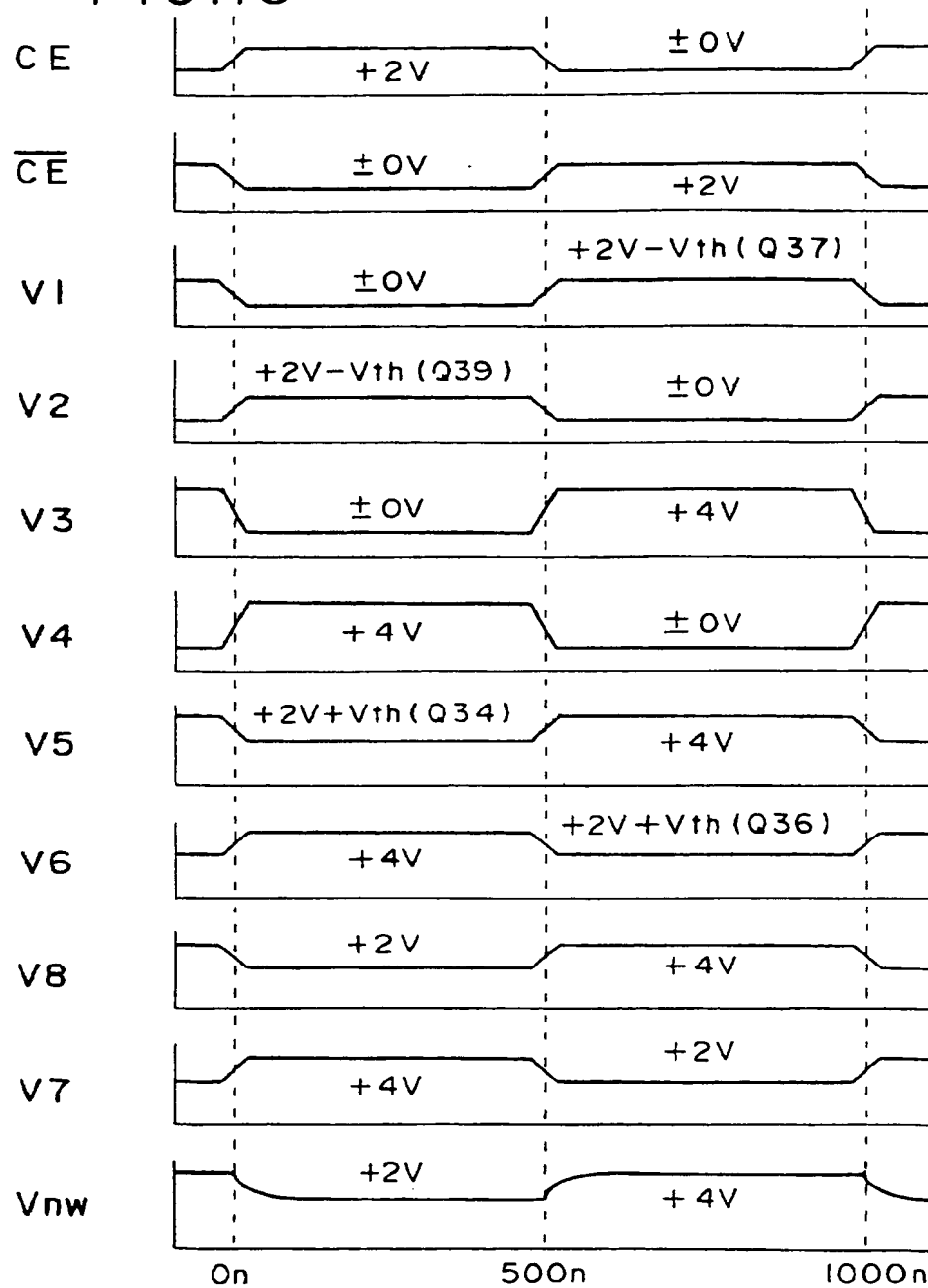
1 5 / 3 7

FIG. 15



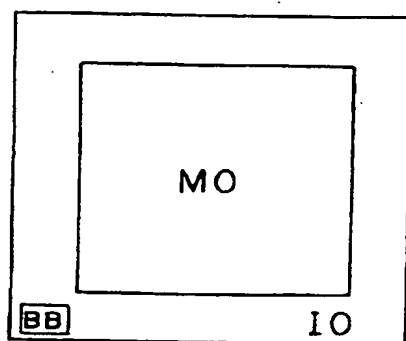
1 6 / 3 7

FIG. 16



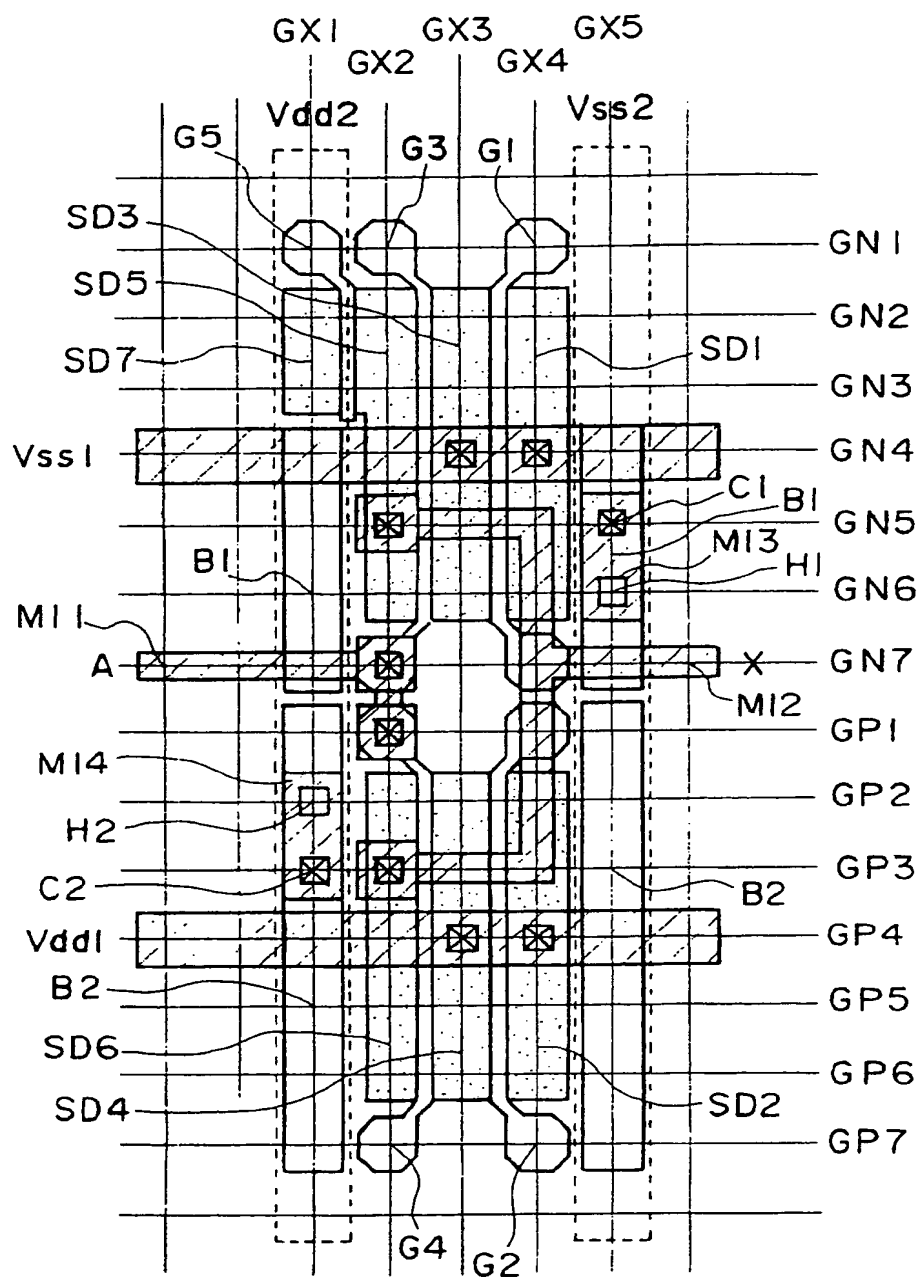
1 7 / 3 7

FIG.17



1 8 / 3 7

FIG.18



1 9 / 3 7

FIG. 19A

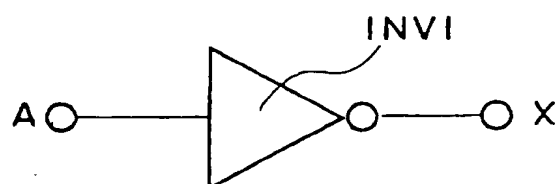
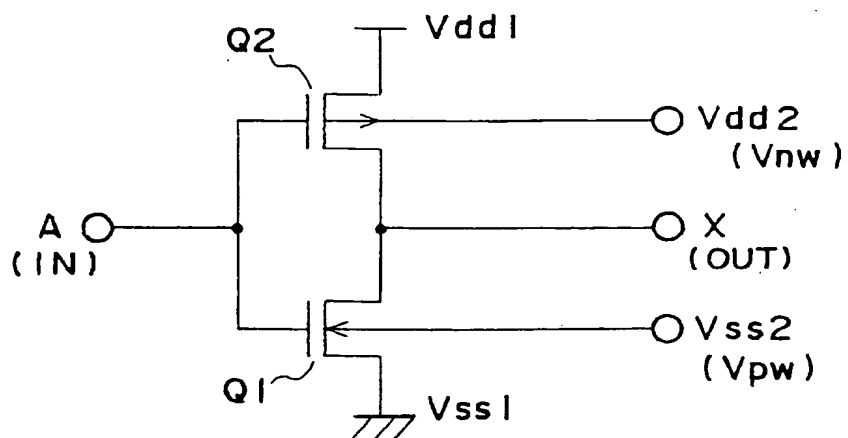
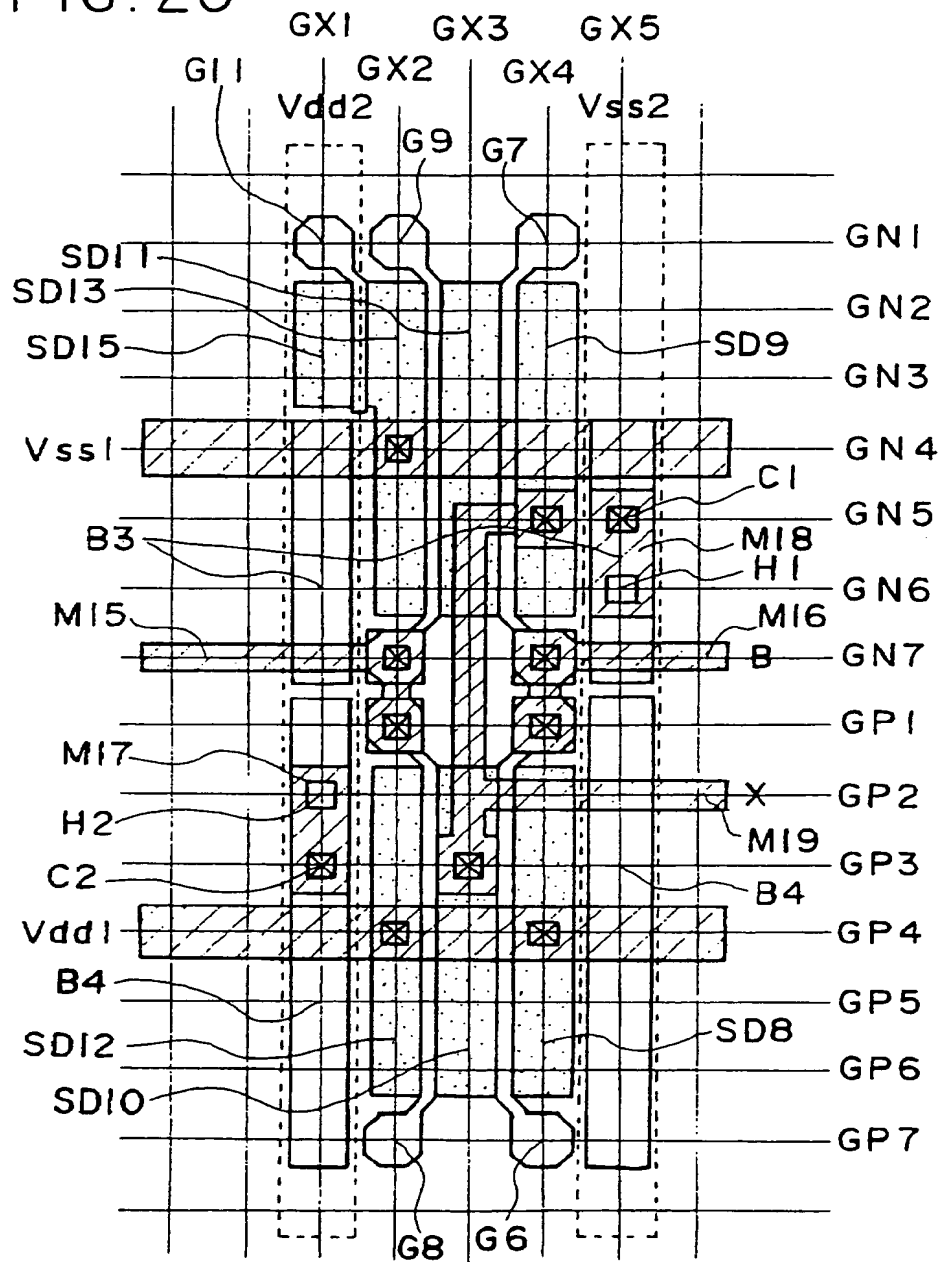


FIG. 19B



20 / 37

FIG. 20



2 1 / 3 7

FIG. 21A

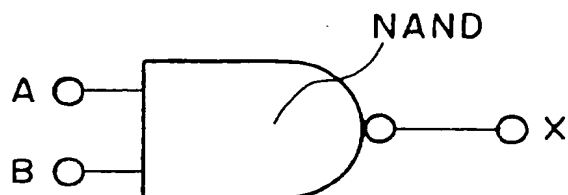
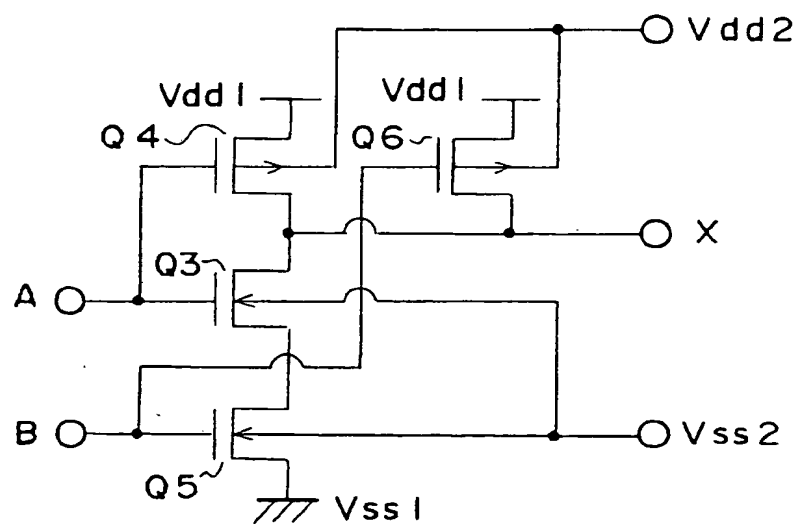
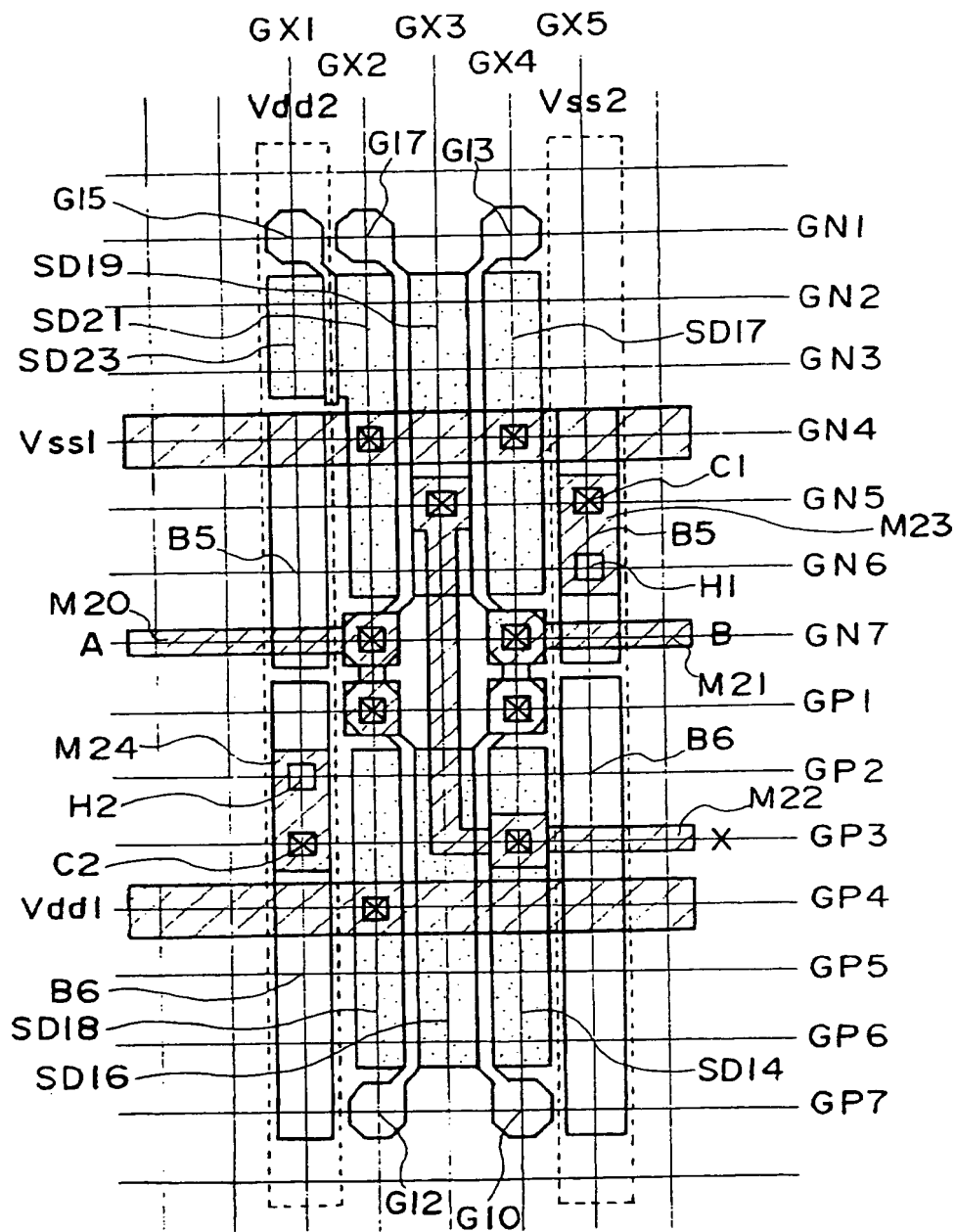


FIG. 21B



2 2 / 3 7

FIG. 22



2 3 / 3 7

FIG. 23A

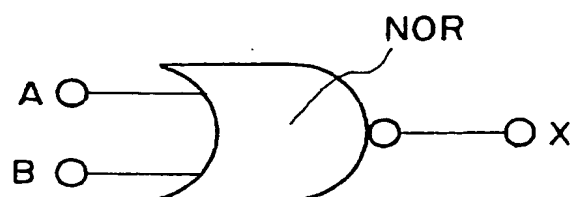
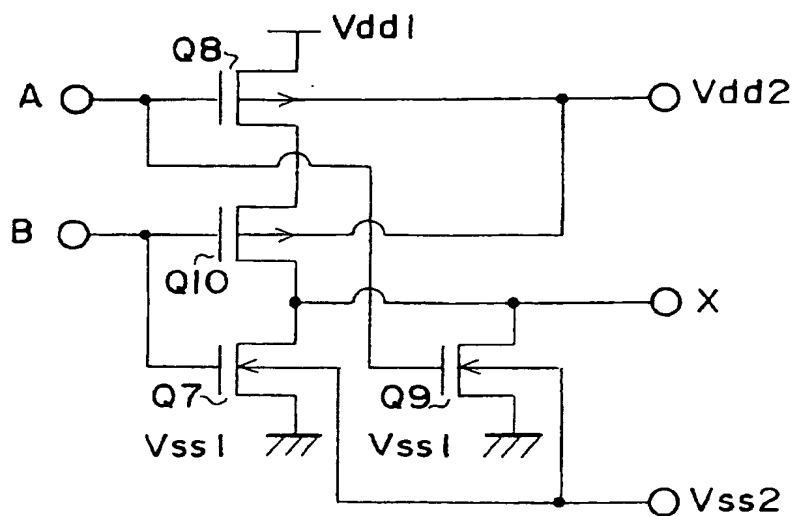
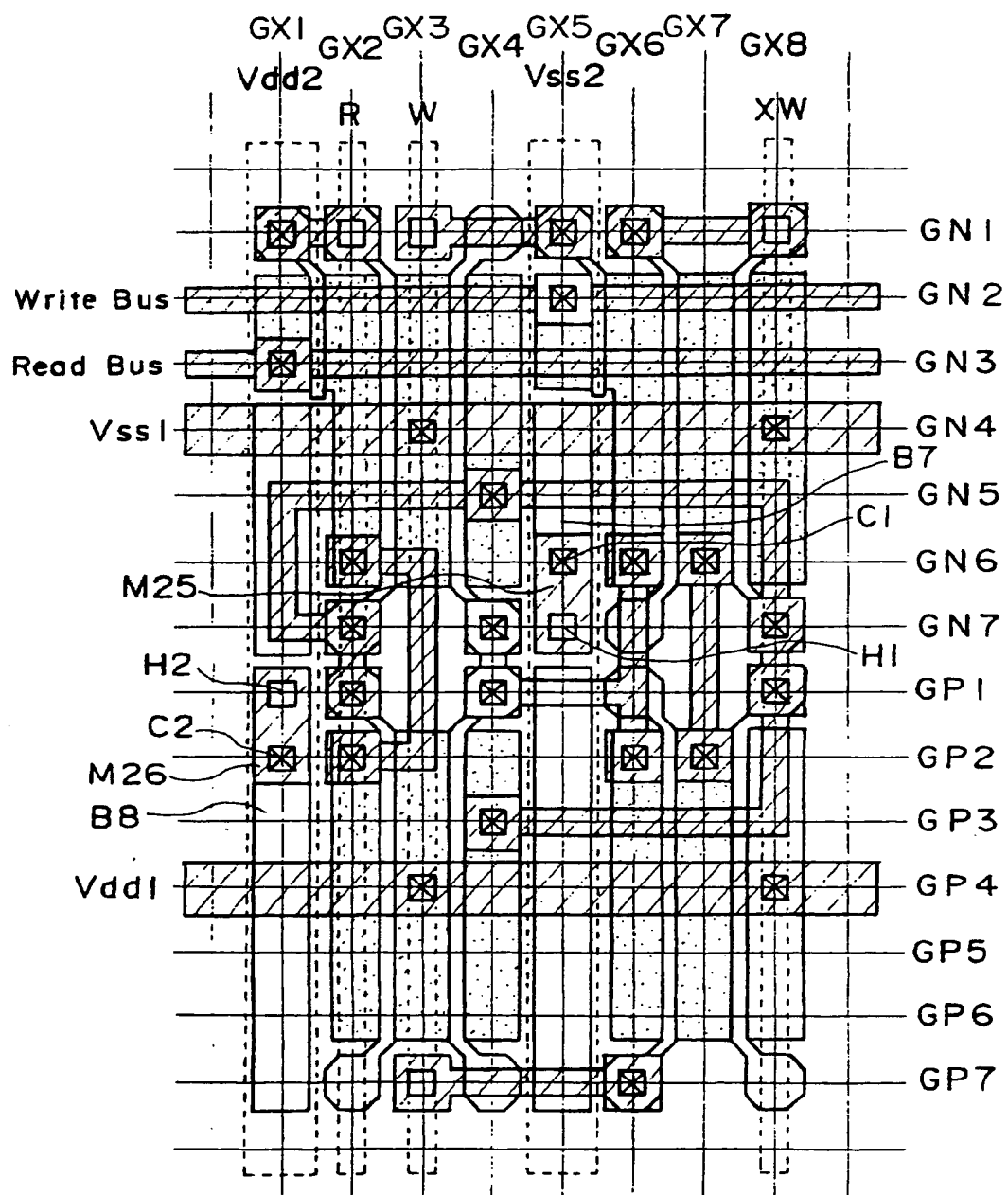


FIG. 23B



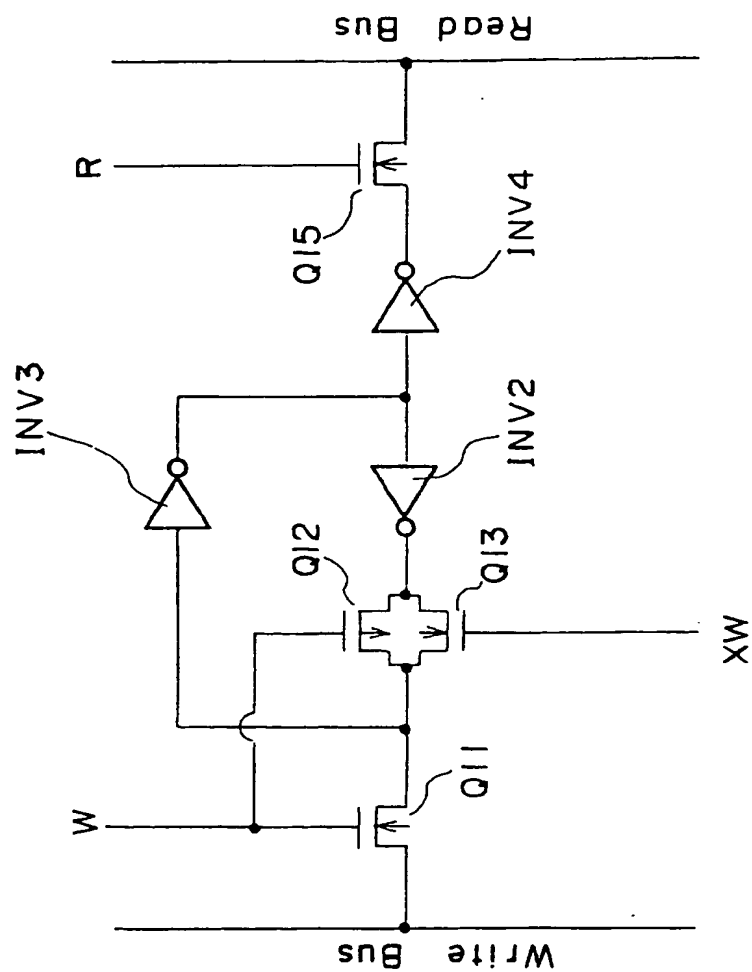
2 4 / 3 7

FIG. 24



2 5 / 3 7

FIG. 25



2 6 / 3 7

FIG. 26A

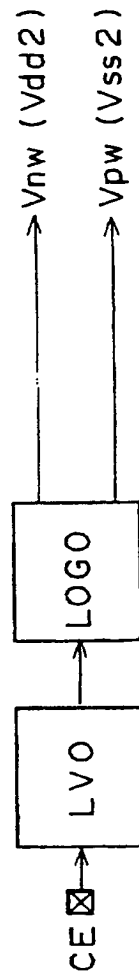
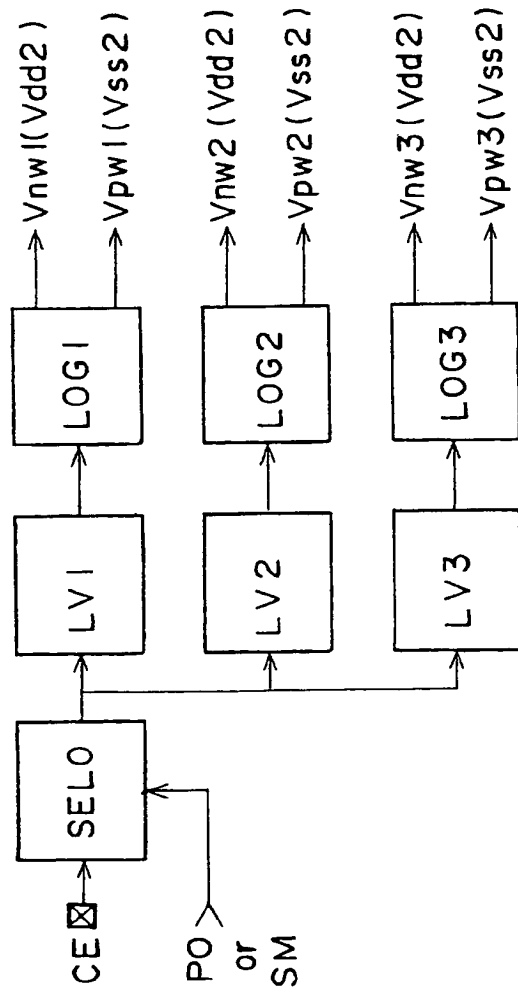


FIG. 26B



27 / 37

FIG. 27A

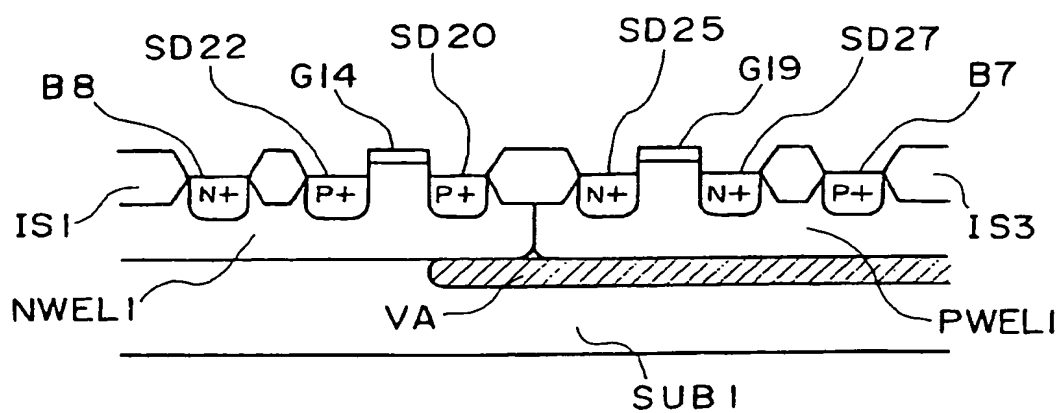
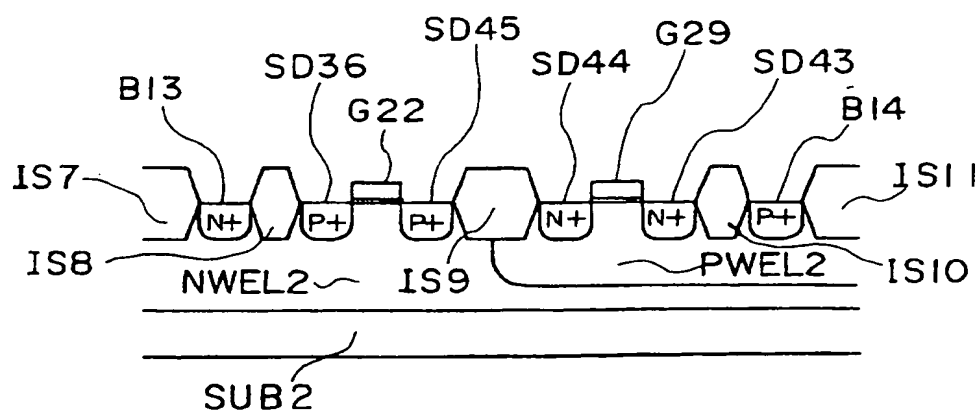


FIG. 27B



28 / 37

FIG. 28A

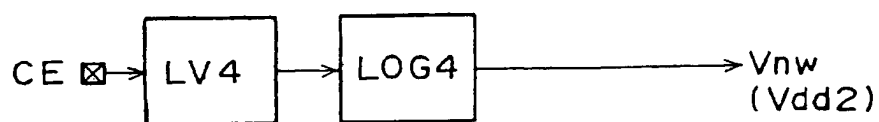


FIG. 28B

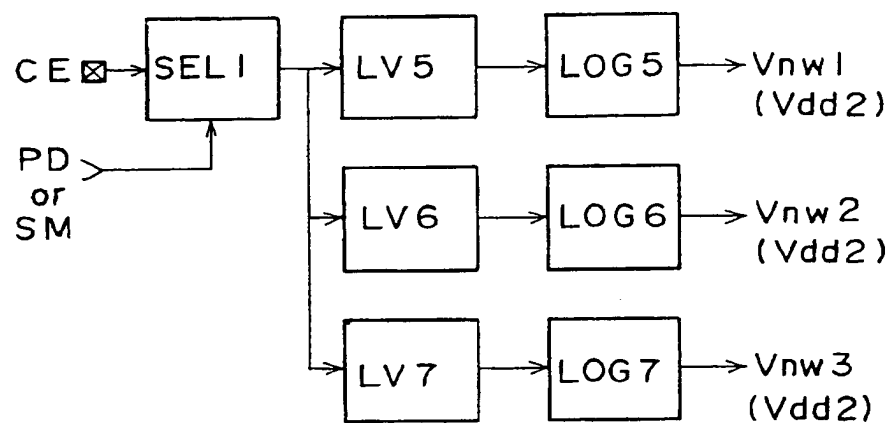
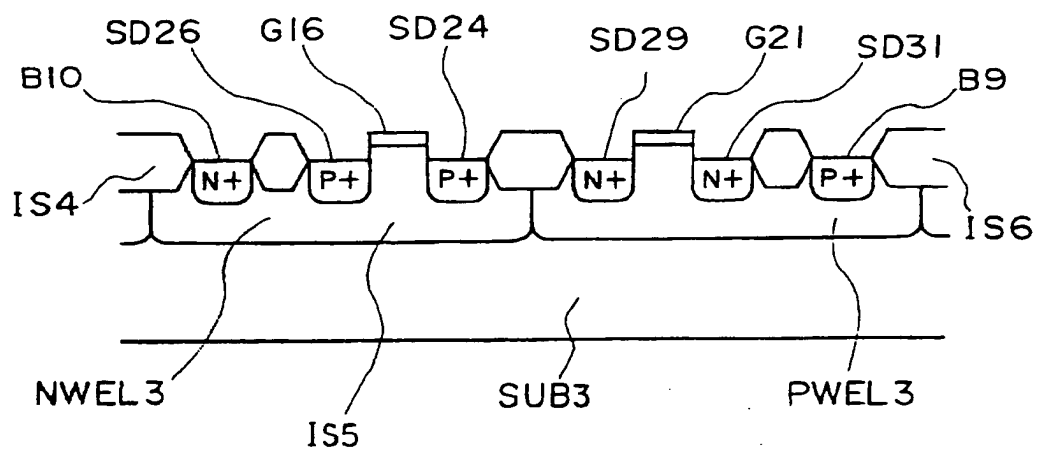


FIG. 28C



29 / 37

FIG. 29 A

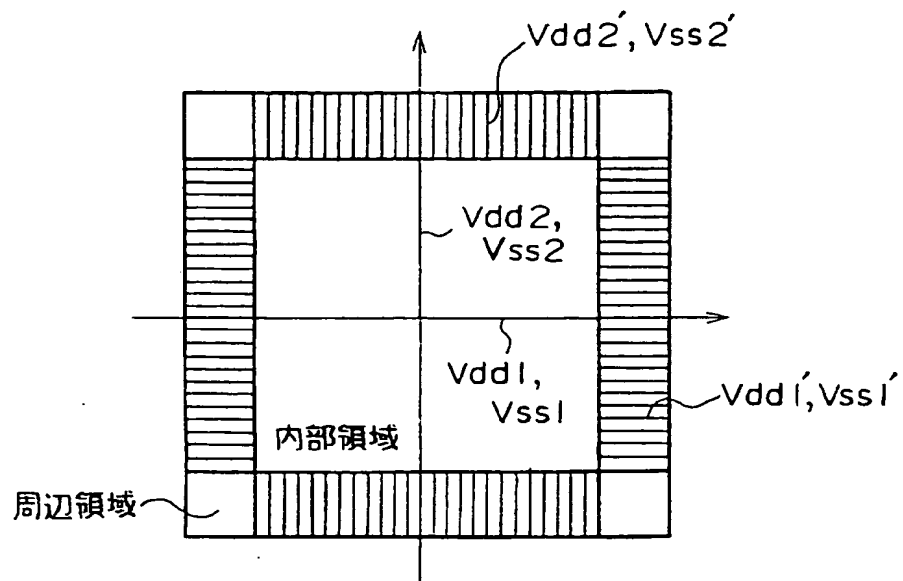
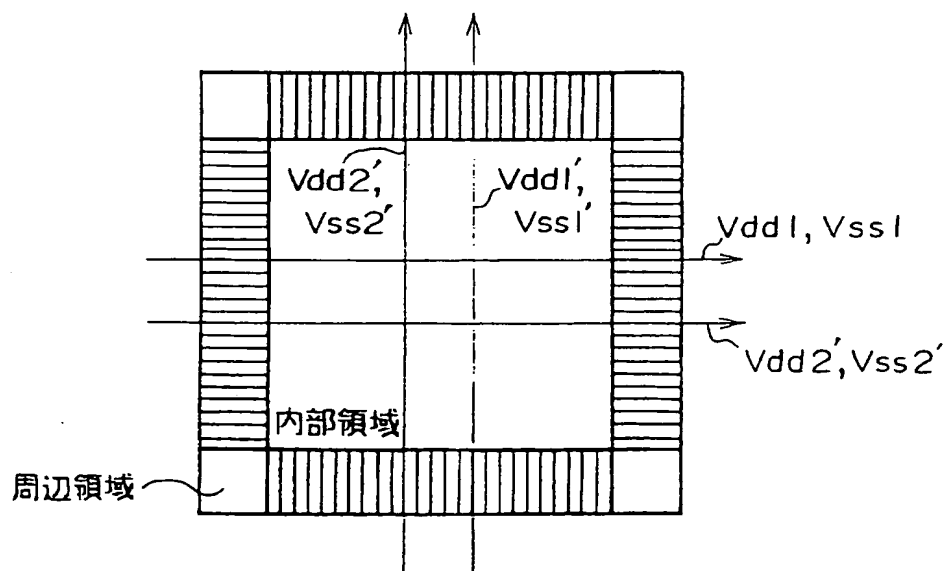


FIG. 29 B



3 0 / 3 7

FIG. 30A

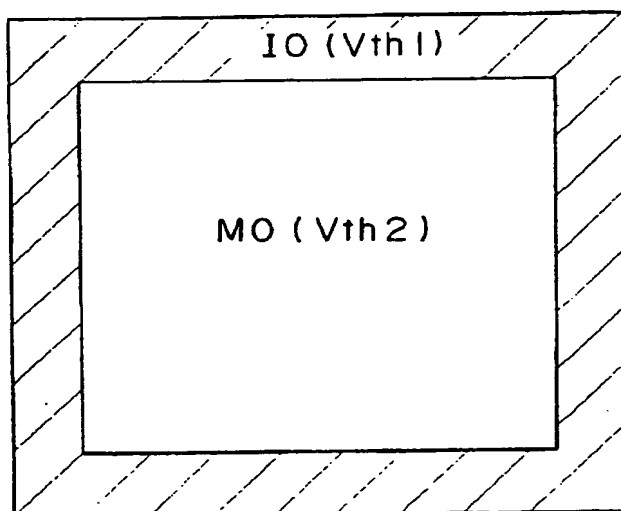
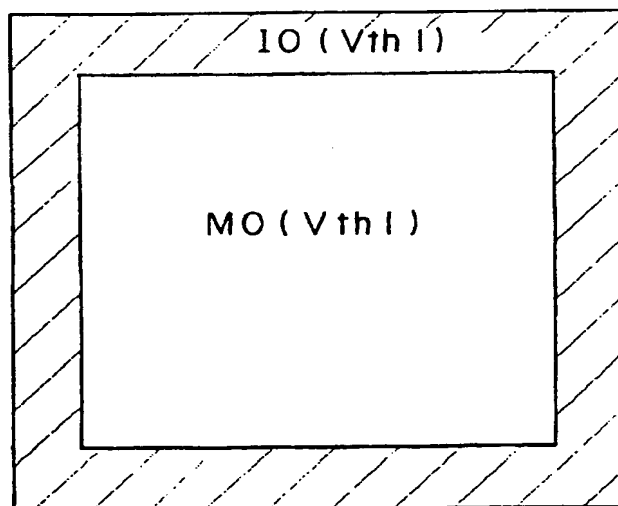
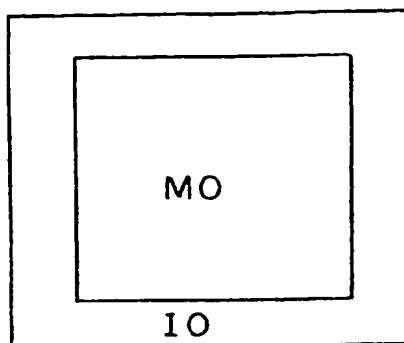


FIG. 30B



3 1 / 3 7

FIG. 31



3 2 / 3 7

FIG. 32A

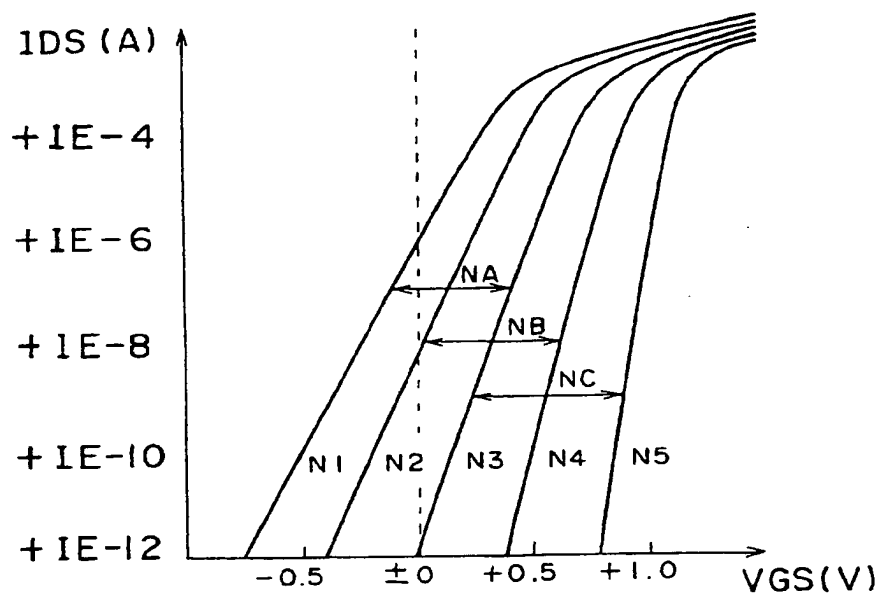


FIG. 32B

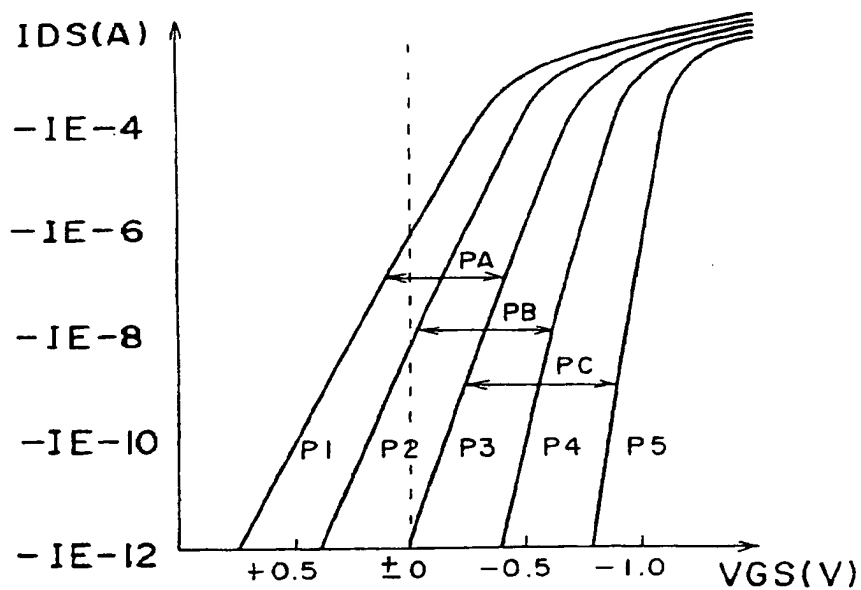
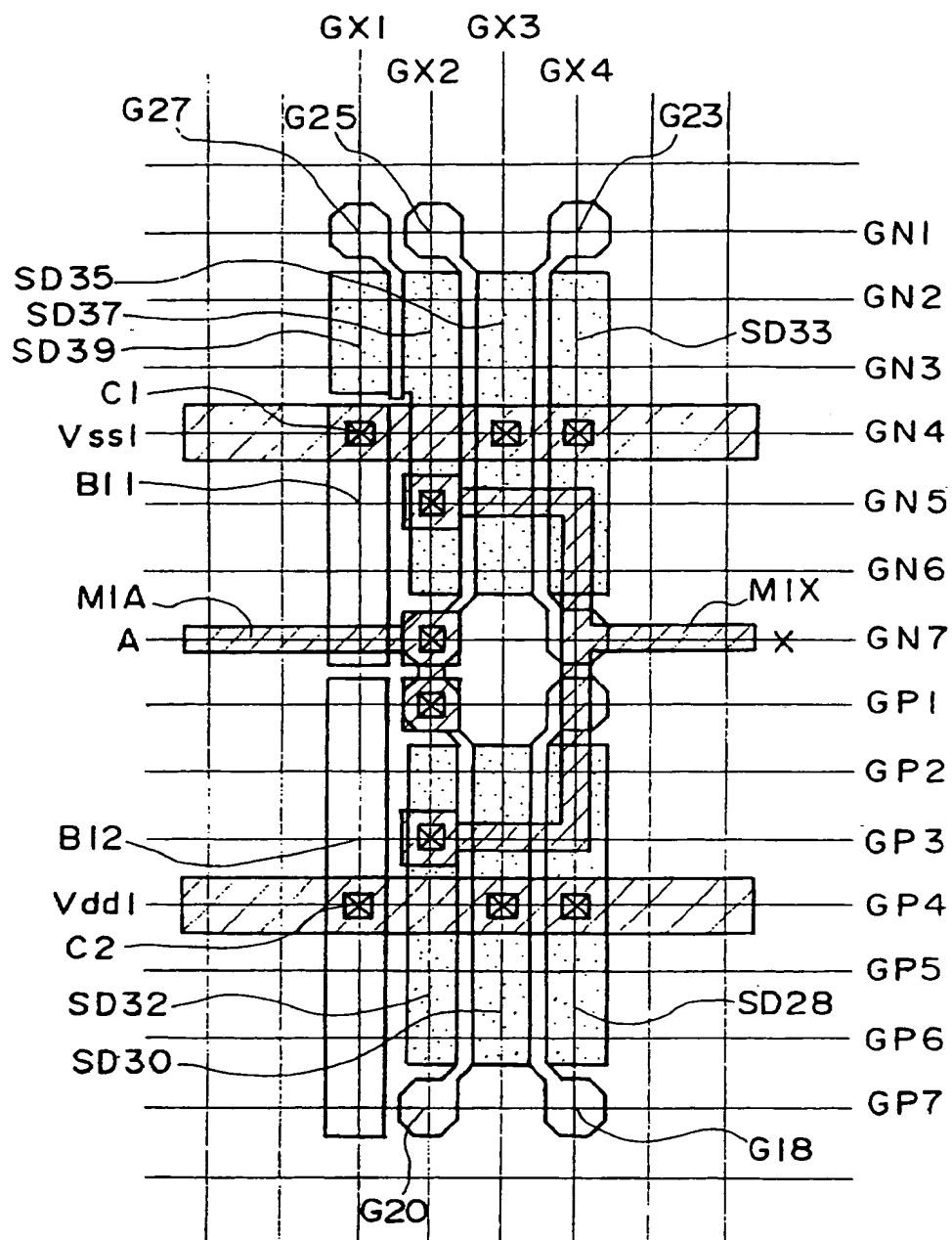


FIG. 33



3 4 / 3 7

FIG. 34A

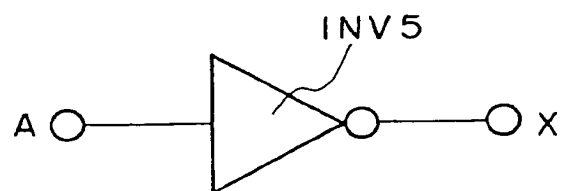
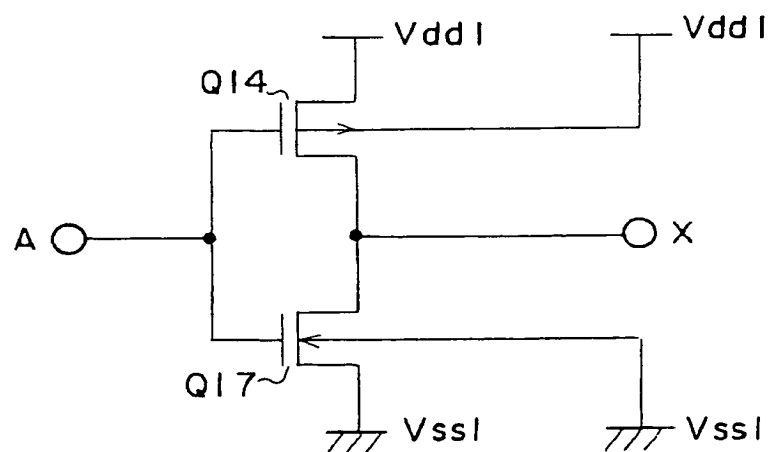
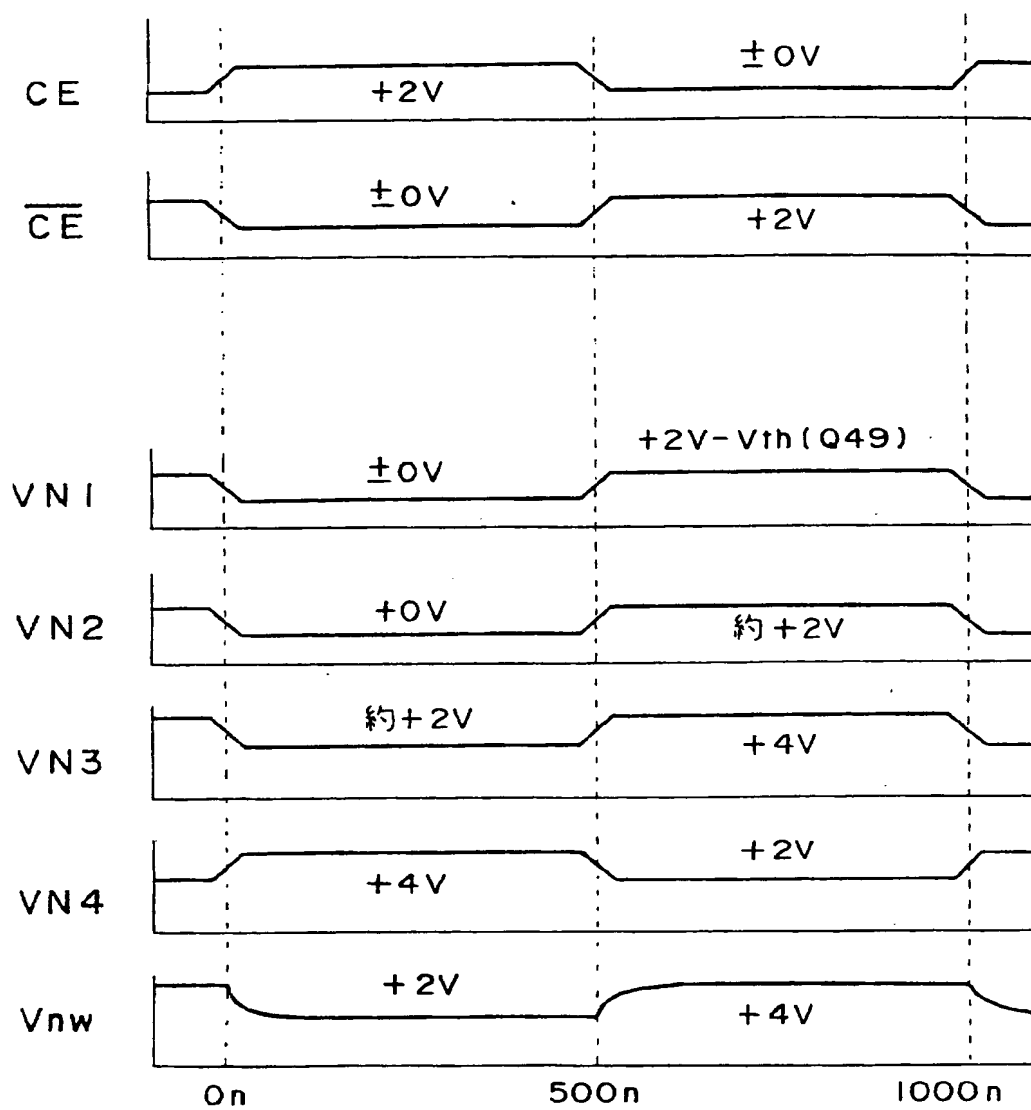


FIG. 34B



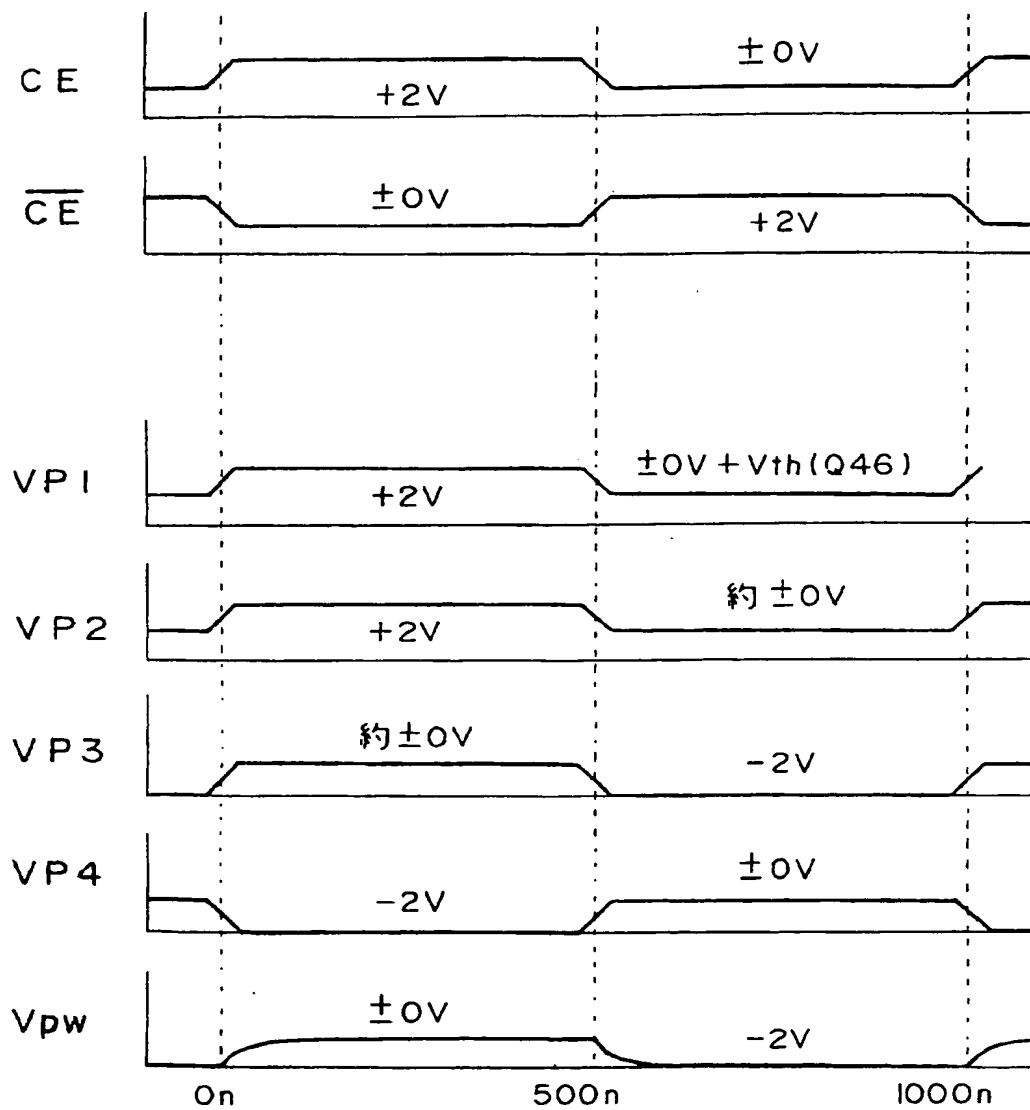
3 6 / 3 7

FIG. 36



37 / 37

FIG.37



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/00608

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ H03K19/0948, H03K19/0185, H01L21/8238, H01L27/04,
H01L27/118

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ H03K19/00, H01L21/82, H01L27/04, H01L27/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926 - 1997

Kokai Jitsuyo Shinan Koho 1971 - 1997

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP, 6-89574, A (Mitsubishi Electric Corp.), March 29, 1994 (29. 03. 94), Figs. 1 to 7; column 8, line 27 to column 11, line 34 & EP, 564204, A2 & US, 5557231, A	1-3, 5-12, 14-26, 28, 33-34 4, 13, 27, 29-32
Y A	JP, 62-123823, A (NEC Corp.), June 5, 1987 (05. 06. 87), Fig. 1; page 3, upper left column, lines 8 to 15 (Family: none)	1-3, 5-12, 14-26, 28, 33-34 4, 13, 27, 29-32
Y	JP, 7-74616, A (Seiko Epson Corp.), March 17, 1995 (17. 03. 95), Fig. 1; column 16, line 15 to column 24, line 15 & US, 5559464, A	1-3, 5-12, 14-21
Y	JP, 2-268018, A (Integrated Device Technology, Inc.), November 1, 1990 (01. 11. 90), Figs. 1, 2; page 3, upper left column, line 19	9, 18, 20, 21

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

May 27, 1997 (27. 05. 97)

Date of mailing of the international search report

June 10, 1997 (10. 06. 97)

Name and mailing address of the ISA/

Japanese Patent Office

Facsimile No.

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/00608

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	to lower left column, line 19 & US, 4916337, A & EP, 386570, A	
Y	JP, 7-142605, A (Fujitsu Ltd.), June 2, 1995 (02. 06. 95), Column 6, line 26 to column 7, line 23 (Family: none)	22
Y	JP, 3-82152, A (NEC Corp.), April 8, 1991 (08. 04. 91), Page 2, upper left column, line 20 to upper right column, line 5 (Family: none)	23
Y	JP, 63-202053, A (Hitachi, Ltd.), August 22, 1988 (22. 08. 88), Fig. 7(b); page 5, upper left column, upper right column (Family: none)	24-26, 28, 33-34
Y	JP, 63-107140, A (Hitachi, Ltd.), May 12, 1988 (12. 05. 88), Fig. 8; page 5, upper left column, upper right column (Family: none)	24-26, 28, 33-34
A	JP, 2-177345, A (Hitachi, Ltd.), July 10, 1990 (10. 07. 90), Fig. 2; column 7, line 1 to column 8, line 11 & US, 5075753, A	29 - 34
A	JP, 5-275661, A (NEC Corp.), October 22, 1993 (22. 10. 93), Fig. 1 & US, 5397906, A	24 - 34
A	JP, 63-64337, A (Hitachi, Ltd.), March 22, 1988 (22. 03. 88), Fig. 1 (Family: none)	24 - 34
EA	JP, 9-116416, A (Hitachi, Ltd.), May 2, 1997 (02. 05. 97), Fig. 7 (Family: none)	1 - 21
EA	JP, 8-204140, A (NEC Corp.), August 9, 1996 (09. 08. 96) & EP, 724295, A1	1-21, 24-34

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/00608

Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Claims 1 to 21 relate to a substrate bias controller of a semiconductor integrated circuit device.

Claims 22 and 23 relate to the setting of the threshold value of a transistor constituting the semiconductor integrated circuit device.

Claims 24 to 34 relate to a method of wiring the power supply wiring of the semiconductor integrated circuit device.

Such being the case, these three groups of inventions are not considered as relating to a group of inventions so linked as to form a single general inventive concept.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest ☐ The additional search fees were accompanied by the applicant's protest.
☐ No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int Cl⁴ H03K19/0948, H03K19/0185, H01L21/8238, H01L27/04, H01L27/118

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int Cl⁴ H03K19/00, H01L21/82, H01L27/04, H01L27/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1997年
 日本国公開実用新案公報 1971-1997年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P. 6-89574, A (三菱電機株式会社), 29. 3月. 1994 (29. 03. 94), 第1~7図、第8欄27行~11欄34行	1-3, 5-12, 14-26, 28, 33-34
A	& EP, 564204, A2 & US, 5557231, A	4, 13, 27, 29-32
Y	J P. 62-123823, A (日本電気株式会社), 5. 6月. 1987 (05. 06. 87), 第1図、第3頁左上欄8~15行 (ファミリーなし)	1-3, 5-12, 14-26 28, 33-34
A		4, 13, 27, 29-32
Y	J P. 7-74616, A (セイコーエプソン株式会社), 17. 3月. 1995 (17. 03. 95), 第1図、第16欄15行~24欄15行 & US, 5559464, A	1-3, 5-12, 14-21

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」先行文献ではあるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

27. 05. 97

国際調査報告の発送日

10.06.97

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

衣場 文彦

印

5 K

9199

電話番号 03-3581-1101 内線 3556

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 2-268018, A (インデグレイテッド デバイス テクノロジー, インコーポレーテッド), 1. 11月. 1990 (01. 11. 90), 第1, 2図、第3頁左上欄19行~左下欄19行 & US, 4916337, A & EP, 386570, A	9, 18, 20, 21
Y	J P, 7-142605, A (富士通株式会社), 2. 6月. 1995 (02. 06. 95), 第6欄26行~7欄23行 (ファミリーなし)	22
Y	J P, 3-82152, A (日本電気株式会社), 8. 4月. 1991 (08. 04. 91), 第2頁左上欄20行~右上欄5行 (ファミリーなし)	23
Y	J P, 63-202053, A (株式会社日立製作所), 22. 8月. 1988 (22. 08. 88), 第7図 (b)、第5頁左上欄、右上欄 (ファミリーなし)	24-26, 28, 33-34
Y	J P, 63-107140, A (株式会社日立製作所), 12. 5月. 1988 (12. 05. 88), 第8図、第5頁左上欄、右上欄 (ファミリーなし)	24-26, 28, 33-34
A	J P, 2-177345, A (株式会社日立製作所), 10. 7月. 1990 (10. 07. 90), 第2図、第7欄1行~8欄11行 & US, 5075753, A	29-34
A	J P, 5-275661, A (日本電気株式会社), 22. 10月. 1993 (22. 10. 93), 第1図 & US, 5397906, A	24-34
A	J P, 63-64337, A (株式会社日立製作所), 22. 3月. 1988 (22. 03. 88), 第1図 (ファミリーなし)	24-34
EA	J P, 9-116416, A (株式会社日立製作所), 2. 5月. 1997 (02. 05. 97), 第7図 (ファミリーなし)	1-21
EA	J P, 8-204140, A (日本電気株式会社), 9. 8月. 1996 (09. 08. 96) & EP, 724295, A1	1-21, 24-34

第 I 欄 請求の範囲の一部の調査ができないときの意見 (第 1 ページの 1 の続き)

法第 8 条第 3 項 (PCT 17 条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であって PCT 規則 6.4(a) の第 2 文及び第 3 文の規定に従って記載されていない。

第 II 欄 発明の単一性が欠如しているときの意見 (第 1 ページの 2 の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求の範囲 1～21 は、半導体集積回路装置における基板バイアス制御装置に関するものである。

請求の範囲 22、23 は、半導体集積回路装置を構成するトランジスタのしきい値の設定に関するものである。

請求の範囲 24～34 は、半導体集積回路装置における電源配線の配線方法に関するものである。

そして、これらの 3 つの発明群が、単一の一般的発明概念を形成するよう連関している一群の発明であるとは認められない。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

THIS PAGE BLANK (USPTO)